

⑤1

Int. Cl. 2:

**G 11 C 7/00**

⑯ BUNDESREPUBLIK DEUTSCHLAND



**DE 28 28 855 A 1**

⑯1

## **Offenlegungsschrift 28 28 855**

⑯2

Aktenzeichen: P 28 28 855.3-53

⑯3

Anmeldetag: 30. 6. 78

⑯4

Offenlegungstag: 3. 1. 80

⑯5

Unionspriorität:

⑯6 ⑯7 ⑯8

—

⑯9

Bezeichnung: Wortweise elektrisch umprogrammierbarer, nichtflüchtiger Speicher

⑯10

Anmelder: Siemens AG, 1000 Berlin und 8000 München

⑯11

Erfinder: Schrenk, Hartmut, Dipl.-Phys. Dr.rer.nat., 8013 Haar

---

Prüfungsantrag gem. § 28b PatG ist gestellt

**DE 28 28 855 A 1**

Patentansprüche

1. Wortweise elektrisch umprogrammierbarer, nichtflüchtiger Speicher mit matrixförmig angeordneten Speicherzellen, dadurch gekennzeichnet, daß eine Ansteuerschaltung derart mit der Speichermatrix 5 zusammengeschaltet ist, daß für jede Speicherzeile variable Lösch- und Schreibdauern vorgesehen sind, deren Ende durch das Erreichen eines vorgegebenen Lösch- bzw. Schreibzustandes einer oder mehrerer Speicherzellen aus der zu löschenen bzw. zu schreibenden Speicherzeile 10 angezeigt wird, wobei der Lösch- bzw. Schreibzustand einer oder mehrerer Speicherzellen der zu löschenen bzw. zu schreibenden Speicherzeile während der Lösch- bzw. Schreibdauer dieser Speicherzeile kontrolliert wird.

15

2. Speicher nach Anspruch 1, dadurch gekennzeichnet, daß eine Ansteuerung derart mit der Speichermatrix zusammengeschaltet ist, daß zur Erreichung einer variablen Löschdauer einer Speicherzeile 20 und zur Kontrolle des Löschezustandes einer oder mehrerer Speicherzellen der zu löschenen Zeile, die an den Speicherzellen anliegenden Löschspannungen in eine zeitliche Folge von Einzelimpulsen aufgeteilt werden, so daß in den Impulspausen jeweils ein Kontrollesevorgang eingeschaltet wird.

25

3. Speicher nach Anspruch 1 und 2, dadurch gekennzeichnet, daß eine Ansteuerung derart mit der Speichermatrix zusammengeschaltet ist, daß die Löschdauer einer Speicherzeile beendet ist, wenn alle Speicherzellen, an denen kontrollgelesen wird, eine 30 Schwellspannung von  $U_T$  aufweisen, wobei  $|U_T|$  kleiner

2828855

2 VPA 78 P 1110 BRD

oder gleich  $|U_{GL}|$  ist, wenn  $U_{GL}$  einen vorgegebenen Schwellwert der verwendeten Speicherzellen bedeutet.

4. Speicher nach Anspruch 1, dadurch gekennzeichnet, daß eine Ansteuerung derart mit der Speichermatrix zusammengeschaltet ist, daß die variable Löschdauer mittels einer zeitlich kontinuierlich anliegenden Löschspannung und mittels gleichzeitigen Kontrollesen erreicht wird, wobei die Löschdauer einer Speicherzeile beendet ist, wenn alle Speicherzellen, an denen kontrollgelesen wird, eine Schwellspannung  $U_T$  aufweisen, für die die Beziehung  $|U_T| \leq |U_{GL}|$  gilt.

5. Speicher nach mindestens einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß eine Ansteuerschaltung derart mit der Speichermatrix zusammengeschaltet ist, daß zur Erreichung einer variablen Schreibdauer einer Speicherzeile und zur Kontrolle des Programmierzustandes einer oder mehrerer Speicherzellen der zu programmierenden Speicherzeile, die an den Speicherzellen anliegenden Programmierspannungen in eine zeitliche Folge von Einzelimpulsen aufgeteilt werden, so daß in den Impulspausen jeweils ein Kontrollesevorgang eingeschaltet wird.

25 6. Speicher nach mindestens einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß eine Ansteuerschaltung derart mit der Speichermatrix zusammengeschaltet ist, daß die Schreibdauer einer Speicherzeile beendet ist, wenn alle Speicherzellen, an denen kontrollgelesen wird, eine Schwellspannung von  $|U_T|$  oder gleich  $|U_{GS}|$  aufweisen.

909881/0488

3 VPA 78 P 1110 BRD

7. Speicher nach mindestens einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß während der Löschdauer und innerhalb eines Kontrollesevorgangs bei einer Gatespannung  $U_{GL}$  der gelöschte Zustand 5 durch das Absinken des Absolutwertes der Drainspannung  $|U_D|$  und während der Schreibdauer und innerhalb eines Kontrollesevorgangs bei einer Gatespannung  $U_{GS}$  der programmierte Zustand durch das Ansteigen der Drainspannung  $|U_D|$  angezeigt wird.

10 8. Speicher nach mindestens einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß eine Ansteuerschaltung derart mit der Speichermatrix zusammen geschaltet ist, daß diejenigen Drain-Ausgangssignale, 15 die das Ende einer Schreib- oder Löschdauer einer Speicherzeile anzeigen, zum Abschalten der an der zugehörigen Speicherzeile anliegenden Schreib- bzw. Löschspannung verwendet werden.

20 9. Speicher nach mindestens einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß zum Aufbau der einzelnen Speicherzelle elektrisch umprogrammierbare, nach dem Floating-Gate- oder dem MNOS-Prinzip aufgebaute Feldeffekttransistoren verwendet werden.

25 10. Speicher nach mindestens einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß die Gateleitungen der zum Aufbau von Speicherzellen verwendeten Feldeffekttransistoren wortweise und die zugehörigen Drainleitungen bitweise geführt werden.

30 11. Speicher nach mindestens einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß eine Ansteuerschaltung mit der Speichermatrix zusammen-

909881/0488

2828855

4 VPA 78 P 1110 BRD

geschaltet ist, daß die Gate-Spannungen, die als vorgegebene Schwellspannungswerte ( $U_{GS}$  und  $U_{GL}$ ) zum Kontrolllesen beim Programmieren und Löschen benötigt werden, sowie die Gatespannung für das Auslesen des Speichers 5 ( $U_{GR}$ ) aus ein und demselben Spannungsteiler entnommen werden, so daß stets  $|U_{GL}|$  kleiner als  $|U_{GR}|$  und zugleich  $|U_{GR}|$  kleiner als  $|U_{GS}|$  gilt.

909881/0488

SIEMENS AKTIENGESELLSCHAFT  
Berlin und München

Unser Zeichen  
VPA 78 P 1110 BRD

5 Wortweise elektrisch umprogrammierbarer, nichtflüchtiger  
Speicher.

Die Erfindung betrifft einen wortweise elektrisch umpro-  
grammierbaren, nichtflüchtigen Speicher mit matrixförmig  
10 angeordneten Speicherzellen.

Aus IEEE Transactions on Electron Devices Vol. ED-24,  
Nr. 5, Mai 1977, Seiten 606 bis 610 ist eine Floating-  
Gate-Speicherzelle zur Herstellung von nichtflüchtigen,  
15 elektrisch umprogrammierbaren Speichern bekannt. Bei die-  
sen Feldeffekttransistoren ist ein allseitig isoliertes  
floatendes Speichergate und ein steuerbares Steuergate  
vertikal über der Kanalstrecke angeordnet, wobei das  
Steuergate die gesamte Kanalstrecke überdeckt, während  
20 das floatende Gate nur einen Teil davon überlagert. Die  
sogenannte Splitgate-Struktur vermeidet Fehler beim Aus-  
lesen gelöschter Speicherzellen mit Depletioncharakter.  
Das Laden des floatenden Speichergates erfolgt mittels  
Kanalinjektion. Dazu werden Elektronen in einem kurzen

Kanal beschleunigt und mittels eines zusätzlichen elektrischen Querfeldes zum Speichergate befördert. Das Entladen oder Löschen des floatenden Gates erfolgt durch ein Rücktunneln der Elektronen bei einer hohen angelegten 5 elektrischen Spannung zwischen dem Steuergate und einem Diffusionsgebiet.

In der deutschen Patentanmeldung P 27 43 422.6 (VPA 77 P 1147) wird ein wortweise löscherbarer, nichtflüchtiger 10 Speicher in Floating-Gate-Technik vorgeschlagen. Sowohl das Laden als auch das Entladen der floatenden Gates erfolgt mittels eines direkten Übergangs von Elektronen zwischen floatendem Gate und Substrat, wobei ein hohes elektrisches Feld geeigneter Polarität zwischen dem floatenden Gate und dem Substrat angelegt wird. 15

Als Beispiel für einen Haftstellenspeicher ist aus Siemens Forschungs- und Entwicklungsberichte, Springer-Verlag, Band 4 (1975) Nr. 4 Seiten 213 bis 219 eine 20 MNOS-Speicherzelle zur Herstellung von nichtflüchtigen Speichern bekannt. Eine Ladungsspeicherung erfolgt hierbei durch ein elektrisches Umladen von Haftstellen an der Grenzfläche zwischen einer Nitrid- und einer Oxydschicht. Das Laden wie auch das Entladen der Haftstellen erfolgt 25 mittels Elektronenübergängen durch Tunneln bei großen elektrischen Feldstärken.

Aus IEEE Transaction on Electron Device, Vol. ED-24, Nr.5, Mai 1977, Seiten 584 bis 586, sind Speicherzellen bekannt, 30 die in ähnlicher Weise wie MNOS-Transistoren arbeiten, bei denen jedoch die Schichtenfolge metallische Gate-Elektrode, Nitrid, Oxyd durch Transistoren ersetzt wird, die eine Schichtenfolge Polysilicium, Oxinitrid, Nitrid, Oxyd aufweisen.

Bei allen bisher bekannten Speichern, die aus den angegebenen Speicherzellen aufgebaut sind, wird die Lösch- bzw. Programmierzeit über ein externes Zeitglied fest vorgegeben und eingestellt. Die Lösch- bzw. Programmierzeiten sind dabei so groß zu wählen, daß fertigungstechnisch bedingte Schwankungen der Lösch- und Programmierungseigenschaften der einzelnen Zellen nicht nur innerhalb eines Chips, sondern auch hinsichtlich verschiedener Fertigungschargen berücksichtigt werden. Außerdem müssen auch die durch das Zeitglied selbst bedingten Toleranzschwankungen der Zeitdauer einbezogen werden. Hohe Programmier- und Löschzeiten bergen die Gefahr von Nachbarwortstörungen und bedeuten oftmals auch eine Verschlechterung der Programmierungseigenschaften, insbesondere bei Speicherzellen, bei denen der Schreibvorgang mittels Kanalinjektion erfolgt. Hohe Schreib-Löschezeiten verringern die Zahl der zulässigen Schreib-Löszyklen. Um zu minimalen Schreib-Löschezeiten zu gelangen und somit die Lebensdauer und die Qualität entsprechender Halbleiterspeicher heraufzusetzen, wäre es wünschenswert, Halbleiter-Speicher so auszustatten, daß sich ein externes Zeitglied erübrigkt, und bei der Festsetzung der Schreib-Löschezeit nur die Schwankungen innerhalb ein- und desselben Chips Einfluß besitzen, während Schwankungen hinsichtlich verschiedener Halbleiterchargen außer Betracht bleiben. Damit kann eine wesentliche Verringerung der Schreib-Löschezeiten erreicht werden, und die Qualität wie die Lebensdauer der betreffenden Speicher entsprechend heraufgesetzt werden.

Aufgabe der vorliegenden Erfindung ist es daher, einen wortweise elektrisch umprogrammierbaren, nichtflüchtigen Speicher so auszustatten, daß sich ein externes Zeitglied erübrigkt und die effektiven Programmier- bzw. Schreibzei-

ten der Einzelzellen gegenüber Speichern mit externen Zeitgliedern herabgesetzt werden.

Diese Aufgabe wird erfindungsgemäß dadurch gelöst, daß

5 eine Ansteuersetzung derart mit der Speichermatrix zusammengeschaltet ist, daß für jede Speicherzeile variable Lösch- und Schreibdauern vorgesehen sind, deren Ende durch das Erreichen eines vorgegebenen Lösch- bzw. Schreibzustandes einer oder mehrerer Speicherzellen aus

10 der zu löschenen bzw. zu schreibenden Speicherzeile angezeigt wird, wobei der Lösch- bzw. Schreibzustand einer oder mehrerer Speicherzellen der zu löschenen bzw. zu schreibenden Speicherzeile während der Lösch- bzw. Schreibdauer dieser Speicherzeile kontrolliert wird.

15

Der erfindungsgemäße Speicher hat gegenüber den bekannten Speichern den Vorteil, daß das äußere Zeitglied eingespart wird, dadurch wird die Gesamtanordnung zum Betrieb des Speichers einfacher und billiger. Die Toleranz-

20 schwankungen aller zu einem Zeitglied gehörenden Bauteile, denen bei der Bestimmung der Zeitkonstante Rechnung getragen werden muß, gehen nicht mehr in die Schreib- bzw. Löschdauer des erfindungsgemäßen Speichers ein und tragen somit auch nicht zu einer Vergrößerung der Schreib-

25 und Löschdauer bei.

Bei der Auslegung eines externen Zeitgliedes sind auch Toleranzschwankungen hinsichtlich der Programmier- bzw. Löschzeiten von Speicherchips aus verschiedenen Fertigungschargen zu beachten. Da in die Programmier- bzw. Löschzeiten des erfindungsgemäßen Speichers maximal die Schwankungen innerhalb eines Halbleiterchips eingehen, verringern sich auch deshalb in vorteilhafter Weise die

Programmier- bzw. Löschzeiten des erfindungsgemäßen Speichers gegenüber herkömmlichen Speichern mit externem Zeitglied.

- 5 Eine Verringerung der Programmier- bzw. Löschzeit eines Speichers ist zum ersten für den Betrieb eines solchen Speichers von Vorteil. Zum zweiten hat eine verkürzte Umprogrammierdauer wiederum Rückwirkungen auf die Lebensdauer der Speicher. Es ist bekannt, daß die Programmier- und Löscheigenschaften eines Speichers sich mit zunehmender Zahl der Schreib-Löschyklen verschlechtern. Bewirkt werden diese Verschlechterungen z.B. durch die Oxydvergiftungen, welche heiße Ladungsträger bewirken können, oder durch Ermüdungserscheinungen von Nidridschichten. Verkürzte Umprogrammierzeiten bedeuten somit eine erhöhte Zahl von möglichen Schreib-Löschen-Zyklen und eine erhöhte Lebensdauer des erfindungsgemäßen Speichers.

Durch Verringerung der Löschzeiten wird außerdem bei Floating-Gate-Speichern die Gefahr eines Überlöschen, d.h. das Verschieben der Schwellspannungen zu stark negativen Werten hin reduziert. Dadurch können wiederum mögliche Schwierigkeiten beim anschließenden Programmervorgang mittels Kanalinjektion verringert werden.

25 Schließlich führt die Verringerung der Umprogrammierdauer eines Speichers auch zu einer geringeren Nachbarwortstörung als das bei längeren Umprogrammierzeiten der Fall ist. Längere Umprogrammierzeiten bewirken in einzelnen Zellen von Nachbarworten oftmals das ungewollte Einschreiben oder Löschen einer Information, was zu Fehlern beim Betrieb von Speichern führt.

35 Eine Verkürzung der Programmier- und Löschzeiten hat weiterhin den Vorteil einer kürzeren Strombelastung und damit einer geringeren Aufheizung des Halbleiterkristalls.

Dieser Vorteil ist für solche Speicher von besonderer Bedeutung, bei denen beim Programmieren oder Löschen erhebliche Ströme fließen, wie z.B. beim Programmieren von Speicherzellen mittels Kanalinjektion.

5

Eine Weiterbildung der Erfindung besteht darin, daß eine Ansteuerung derart mit der Speichermatrix zusammenge- schaltet ist, daß zur Erreichung einer variablen Lösch- dauer einer Speicherzeile und zur Kontrolle des Löschzu- 10 standes einer oder mehrerer Speicherzellen der zu löschen- den Zeile, die an den Speicherzellen anliegenden Löschspan- nungen in eine zeitliche Folge von Einzelimpulsen aufge- teilt werden, so daß in den Impulspausen jeweils ein Kontroll-Lesevorgang eingeschaltet wird.

15

Bei Speicherzellen, die keinen vom Kanalbereich elektrisch isolierten Löschbereich aufweisen, ist ein gleichzeitiges Löschen und Kontrollesen insofern nicht möglich, als z.B. bei n-Kanal-Speicherzellen zum Löschen eine hohe positive 20 Spannung am Source anliegen muß, während zum Kontrolle- sen das Source auf Masse liegen muß. In p-Kanaltechnik gilt Entsprechendes mit vertauschten Vorzeichen der an- liegenden Spannungen. Diese beiden Bedingungen sind gleichzeitig nicht erfüllbar. Ein Aufteilen der Lösch- 25 spannung in eine zeitliche Folge von Einzelimpulsen ermöglicht jedoch ein Kontrollesen während der Löschim- pulspausen. Für die genannte Art von Speicherzellen ist das Aufteilen der Löschspannung in eine zeitliche Folge von Einzelimpulsen von besonderer Bedeutung.

30

Das schließt jedoch nicht aus, daß auch Zellen, die über ein vom Kanalbereich elektrisch isoliertes Lösch- fenster verfügen (siehe Patentanmeldung P 26 43 987.2, VPA 76 P 6257) auch mittels einer Folge von Löschimpul-

sen gelöscht werden können, wenn auch für solche Zellen ein Löschen mittels einer zeitlich konstanten Löschspannung möglich ist. Da durch impulsweises Löschen die Kristallaufheizung geringer ist, kann z.B. die Anwendung 5 von Löschimpulsen auch bei Zellen mit isoliertem Löschenfenster von Vorteil sein.

Es ist vorteilhaft, daß eine Ansteuerung derart mit der Speichermatrix zusammengeschaltet ist, daß die Lösch-10 dauer einer Speicherzeile beendet ist, wenn alle Speicherzellen, an denen kontrollgelesen wird, eine Schwellspannung von  $U_T$  aufweisen, wobei  $|U_T|$  kleiner oder gleich  $|U_{GL}|$ , wenn  $U_{GL}$  einen vorgegebenen Schwellwert der verwendeten Speicherzellen bedeutet.

15 Diese Bedingung läßt sich z.B. bei Speicherzellen in n-Kanaltechnik wie folgt realisieren:  
Eine Speicherzelle ist im ungelöschten Zustand, falls an ihrem Steuergate nicht eine ausreichend hohe positive 20 Spannung angelegt wird, gesperrt. Wird beispielsweise zum Source hin gelöscht, so liegt während der Löschimpulse am Source eine hohe positive Spannung an, während das Steuergate auf Masse liegt. Am Drain ist durch eine geeignete Schaltung stets eine gewisse, nicht sehr hohe 25 positive Spannung vorgegeben, die gerade so groß ist, daß sie zum Auslesen und zum Kontrollesen der Zellen ausreicht. Zu Beginn des Löschevorganges, solange die Schwellspannung  $|U_T|$  größer als der vorgegebene Schwellwert  $|U_{GL}|$  ist, bleibt die zu löschenende Zelle auch während der Löschimpulspausen gesperrt. Sinkt jedoch die 30 Schwellspannung nach einigen Löschimpulsen soweit ab, daß sie den Wert  $|U_{GL}|$  erreicht oder unterschreitet, so ist die Zelle in der nächstfolgenden Impulspause leitend. Da während der Impulspausen das Source der Zellen

auf Masse liegt, das Drain andererseits stets mit einer gewissen positiven Spannung beaufschlagt ist, die zum Lesen und Kontrollesen ausreicht, fließt durch die Zelle nunmehr ein Strom. Dieser Strom von einer oder mehreren Speicherzellen, an denen kontrollgelesen wird, kann wiederum als Signal zur Beendigung der Löschdauer eines angewählten Wortes benutzt werden. Die Speicherzellen werden also nur so lange gelöscht, bis der Zustand "0" gerade mit einem einstellbaren Sicherheitsabstand erreicht ist.

Bei bestimmten Zellen ist es auch vorteilhaft, daß eine Ansteuerung derart mit der Speichermatrix zusammengeschaltet ist, daß die variable Löschdauer mittels einer zeitlich kontinuierlich anliegenden Löschspannung und mittels gleichzeitigem Kontrollesen erreicht wird, wobei die Löschdauer einer Speicherzeile beendet ist, wenn alle Speicherzellen, an denen kontrollgelesen wird, eine Schwellspannung  $U_T$  aufweisen, für die die Beziehung  $|U_T| \leq |U_{GL}|$  gilt.

Ein kontinuierliches Löschen und gleichzeitiges Lesen ist bei Speicherzellen vom Floating-Gate-Typ durchführbar, die ein vom Kanalbereich elektrisch isoliertes Löschfenster besitzen, so daß die Source-Spannung auch während der gesamten Löschdauer 0 Volt betragen kann, während das isolierte Diffusionsgebiet im Löschfenster eine hohe positive Spannung aufweist. Eine solche Zelle ist in der Patentanmeldung P 26 43 987.2 (VPA 76 P 6257) beschrieben..

Es ist auch vorteilhaft, daß eine Ansteuerschaltung derart mit der Speichermatrix zusammengeschaltet ist, daß zur Erreichung einer variablen Schreibdauer einer Spei-

cherzeile und zur Kontrolle des Programmierzustandes einer oder mehrerer Speicherzellen der zu programmierenden Speicherzeile, die an den Speicherzellen anliegenden Programmierspannungen in eine zeitliche Folge von Einzelimpul-

5 sen aufgeteilt werden, so daß in den Impulspausen jeweils ein Kontrollesevorgang eingeschaltet wird.

Das Aufteilen der Programmierdauer in Einzelimpulse hat insbesondere bei Zellen, die mit Kanalinjektion pro-

grammiert werden, den Vorteil, daß ein starkes Aufheizen 10 des Halbleiterchips durch die hohen Kanalströme dadurch verringert wird.

Ein Kontrollesen an einer zu programmierenden Zelle während der Impulspause hat für alle verwendeten Zellen

15 weiterhin den Vorteil, daß die Programmierdauer einer Zelle der tatsächlich benötigten Programmierzeit dieser Zelle angepaßt werden kann. Damit wird der Schwellwert einer zu programmierenden Zelle nicht wesentlich über einen oberen vorgegebenen Nennwert der Schwellspannung hinaus

20 verschoben. Daraus ergibt sich wiederum der Vorteil einer kürzeren Programmierzeit und folgedessen einer geringeren Schädigung der Halbleiterzellen, was wiederum zu einer erhöhten Lebensdauer und einer erhöhten Anzahl von Schreib-Löschzyklen führt. Schädigungen an erfindungs-

25 gemäßen Speichern, die durch das Umprogrammieren zu- stande kommen, führen nicht, wie bei anderen Speichern, zu möglichen Totalausfällen, sondern vergrößern nur die Schreib-Löscheiten kontinuierlich.

30 Eine Weiterbildung der Erfindung besteht darin, daß eine Ansteuerschaltung derart mit der Speichermatrix zusammen- geschaltet ist, daß die Schreibdauer einer Speicherzeile beendet ist, wenn alle Speicherzellen, an denen kontroll- gelesen wird, eine Schwellspannung von  $|U_T|$  größer oder 35 gleich  $|U_{GS}|$  aufweisen.

Eine Weiterbildung der Erfindung besteht darin, daß während der Löschdauer und innerhalb eines Kontrollesevorgangs bei einer Gatespannung  $U_{GL}$  der gelöschte Zustand durch das Absinken des Absolutwertes der Drainspannung

5  $|U_D|$  und während der Schreibdauer und innerhalb eines Kontrollesevorgangs bei einer Gatespannung  $U_{GS}$  der programmierte Zustand durch das Ansteigen der Drainspannung  $|U_D|$  angezeigt wird.

10 Es ist vorteilhaft, daß eine Ansteuerschaltung derart mit der Speichermatrix zusammengeschaltet ist, daß diejenigen Drain-Ausgangssignale, die das Ende einer Schreib- oder Löschdauer einer Speicherzeile anzeigen, zum Abschalten der an der zugehörigen Speicherzeile anliegenden Schreib- bzw. Löschspannung verwendet werden.

15

Es ist auch erfinderisch, daß zum Aufbau der einzelnen Speicherzellen elektrisch umprogrammierbare, nach dem Floating-Gate- oder dem MNOS-Prinzip aufgebaute Feld-

20 effekttransistoren verwendet werden.

Es ist schaltungstechnisch vorteilhaft, daß die Gateleitungen der zum Aufbau von Speicherzellen verwendeten Feldeffekttransistoren wortweise und die zugehörigen

25 Drainleitungen bitweise geführt werden.

Es ist vorteilhaft, daß eine Ansteuerschaltung mit der Speichermatrix zusammengeschaltet ist, daß die Gate-Spannungen, die als vorgegebene Schwellspannungs-

30 werte ( $U_{GS}$  und  $U_{GL}$ ) zum Kontrollesen beim Programmieren und Löschen benötigt werden, sowie die Gate-Spannung für das Auslesen des Speichers ( $U_{GR}$ ) aus ein und demselben Spannungsteiler entnommen werden, so daß stets  $|U_{GL}|$  kleiner als  $|U_{GR}|$  und zugleich  $|U_{GR}|$  kleiner als  $|U_{GS}|$  gilt.

Diese Maßnahme garantiert in vorteilhafter Weise einen sicheren Mindestabstand zwischen der Gatespannung  $U_{GR}$  beim Auslesen und der Schwellspannung  $U_T("1")$  des programmierten Zustandes, wobei gilt  $|U_T("1")| > |U_{GR}|$  bzw.

5 der Schwellspannung  $U_T("0")$  des gelöschten Zustandes einer Speicherzelle, wobei gilt  $|U_T("0")| < |U_{GR}|$ . Es kann somit immer sicher ausgelesen werden. Toleranzbedingte unterschiedliche Schreib- und Löscheigenschaften der Speicherzelle innerhalb eines Speichers wirken sich

10 nicht auf die Zuverlässigkeit beim Auslesen, sondern nur auf die Dauer des Schreib- bzw. Löschtorganges aus. Weil der unprogrammierte und der programmierte Zustand mit dieser Maßnahme relativ zur Auslesespannung sehr genau festgelegt werden kann, lässt sich die Breite des elektrischen Fensters, d.h. der Potentialunterschied zwischen der Gatespannung beim Kontrollesen während des Schreibens  $U_{GS}$  und der Gatespannung beim Kontrollesen während des Löschens  $U_{GL}$  herabsetzen. Dadurch können in vorteilhafter Weise entweder die Spannungen während des

15 Umprogrammierens niedrig sein oder aber die Umprogrammierdauer ist besonders kurz. Weiterhin kann mit dieser Maßnahme das elektrische Fenster in einen vorgegebenen Schwellspannungsbereich hineingelegt werden.

20

25 Nachfolgend wird die Erfindung anhand der Zeichnung und an Ausführungsbeispielen näher erläutert. Die Ausführungsbeispiele beziehen sich auf n-Kanaltechnik. Analoge Ausführungsbeispiele sind jedoch auch in p-Kanaltechnik möglich. Es zeigen:

30 Fig. 1 ein Blockschaltbild eines erfindungsgemäßen Speichers;

Fig. 2a graphische Darstellungen von Lösch-Schreib-,  
bis 2g Kontrollese- und Ausleseimpulsen;

Fig. 3 zwei Beispiele einer Auswertlogik für erfindungsgemäße Speicher;

5 Fig. 4 Gateansteuersetzung für erfindungsgemäße Speicher und Source- und Drainansteuerung für Speicher mit Zellen, die mit Kanalinjektion geladen werden;

Fig. 5 Source- und Drainansteuersetzung für erfindungsgemäße Speicher mit Speicherzellen, die mittels starker elektrischer Felder zwischen Speichergate und einem Diffusionsgebiet geladen werden.

10

Fig. 1 stellt ein Blockschaltbild eines erfindungsgemäßen Speichers mit einer Speichermatrix 100 mit m-Zeilen und n-Spalten dar. An die Speichermatrix 100 ist eine Source-Drain-Ansteuerung 200 angeschlossen, die die Sourcespan-

15 nungen  $U_{S1}$  bis  $U_{Sn}$  und die Drainspannungen  $U_{D1}$  bis  $U_{Dn}$  versorgt (angedeutet durch Pfeile zwischen der Speicher- matrix 100 und Source-Drain-Ansteuerung 200). Die Pfeilrichtung soll auf die Seite der Verbindungsleitungen hin- weisen, von der aus die betreffende Spannung festgelegt

20 wird. Die gegenläufige Pfeilrichtung für  $U_{D1}$  bis  $U_{Dn}$  besagt, daß die Drainspannungen entweder direkt über eine Drainansteuerung oder indirekt bei elektrisch floatendem Drain auch über die Sourceansteuerung be- stimmt sind. Die Drainspannungen  $U_{D1}$  bis  $U_{Dn}$  der Spei-

25 chermatrix 100 sind andererseits auch an eine Auswertlogik 400 angeschlossen (angedeutet durch Pfeile zwischen der Speichermatrix 100 und der Auswertlogik 400). Die Ein-

gänge  $D_{E1}$  bis  $D_{En}$  der Auswertlogik 400 sowie der Source- und Drainansteuerung 200 sind miteinander elektrisch leitend verbunden. Diese elektrisch leitende Verbindung der Dateneingänge von Auswertlogik 400 und Source- und Drain- ansteuerung 200 wurde aus Gründen der besseren Übersicht nur für den Dateneingang der ersten Spalte  $D_{E1}$  in Fig. 1 durch die strichpunktisierte Linie 1000 angedeutet. Die

Datenausgänge  $D_{A_1}$  bis  $D_{A_n}$ , dargestellt durch Pfeile, die aus der Source-Drainansteuerung 200 herausführen, sind durch den Pegel der Drainspannungen  $U_{D_1}$  bis  $U_{D_n}$  festgelegt. Die Gate-Spannungen der wortweise angesteuerten

- 5 Gateleitungen der Speichermatrix 100 werden durch eine Gateansteuerung 500 mit geeigneten Potentialen  $U_{G_1}$  bis  $U_{G_m}$  versorgt. In die Gateansteuerung 500 werden die Auswahlleitungen eines Zeilendekoders  $W_1$  bis  $W_m$  geführt, so daß eine geeignete Wortauswahl getroffen werden kann.
- 10 Die Steuerschaltung mit Impulsteil 300 speist über die Leitung 302 die erforderlichen Impulse in die Source- und Drainansteuerung 200 und entsprechend über die Leitung 305 in die Gateansteuerung 500 ein. Leitungen 304 verbinden die Auswertlogik 400 mit der Steuerschaltung
- 15 mit Impulsteil 300, wodurch die Auswertlogik 400 auf die Zeitdauer der Impulsabgabe der Steuerschaltung mit Impulsteil 300 einwirkt.

In Fig. 2 werden die Impulse für eine Ansteuerung dargestellt, bei der das Löschen und Schreiben der Speicherzellen nicht wie üblich während einer vorgegebenen Zeitdauer, sondern innerhalb vorgegebener Schwellspannungswerte, zwischen dem Schwellspannungswert  $U_T("0")$  einer umprogrammierten Zelle und  $U_T("1")$  einer programmierten 25 Zelle, erfolgt. Löschimpulse nach Fig. 2a bewirken eine schrittweise absinkende Schwellspannung 24, dargestellt in Fig. 2b, während der Löschimpulsdauer. Die Kontrollleseimpulse während des Löschens fallen in die Löschimpulspausen.

30 Analoges gilt für den Schreibvorgang, wie aus Figuren 2d bis 2f ersichtlich.

• In Fig. 2a sind Source-Spannungsimpulse  $U_S$  in Abhängig-

keit von der Zeit  $t$  dargestellt. Rechteckimpulse 11, 12, 13 werden zum Zwecke des Löschens dem Source einer ange- wählten Zelle zugeführt. Die Dauer eines Löschimpulses ist mit  $T_L$  bezeichnet. Die Zeitdauer von Beginn eines 5 Löschimpulses bis zum Beginn des nächstfolgenden Lösch- impulses beträgt  $T_1$ . Die Dauer der Impulspause zwischen zwei aufeinanderfolgenden Löschimpulsen beträgt somit  $T_1 - T_L$ . In Fig. 2b wird die Änderung der Schwellspannung einer angewählten Zelle während der Löschdauer dieser 10 Zelle dargestellt, wobei das Löschen mittels Impulsen nach Fig. 2a erfolgt. Die Schwellspannungskurve 20 einer anfangs ungelöschten Zelle weist zu Beginn des Löschvorganges einen hohen Schwellspannungswert  $U_T("1")$  auf. Jeder Löschimpuls bewirkt ein Absinken des Schwell- 15 spannungswertes der angewählten zu löschen Zelle. So bewirkt z.B. der Impuls 11 aus Fig. 2a ein Absinken 21 der Schwellspannung  $U_T$ , der Impuls 12 ein Absinken 22 und der Impuls 13 ein Absinken 23. Eine angewählte Zel- le ist dann gelöscht, wenn ihr Schwellspannungswert 20  $U_T("0")$  unterhalb einer anliegenden Gatespannung  $U_{GL}$  beim Kontrollesen während des Löschvorganges liegt. Die- 25 ses Kriterium ist für den Endwert 24 der Schwellspan- nung in der Kurve 20 erfüllt,  $U_T("0") < U_{GL}$ .

Fig. 2c stellt die Drainspannungen einer angewählten Speicherzelle während des Löschens dar, an der in den Löschimpulspausen, während einer Zeitdauer  $T_{KL}$ , kon- 30 trollgelesen wird. Die Drainspannung während der Dauer eines Löschimpulses  $T_L$  kann je nach Aufbau und Typ der verwendeten Speicherzelle sehr unterschiedliche Werte annehmen. Diese Drainspannungen sind in Fig. 2c der Übersichtlichkeit halber nicht eingezeichnet. Während der Dauer eines Kontrollesevorganges in der Löschphase  $T_{KL}$  liegen die Drainspannungswerte 26, 27, 28 einer an-

gewählten Speicherzelle solange auf einem hohen Niveau, bis der Schwellspannungswert der Zelle unter einen gewissen kritischen Wert abgesunken ist. Dieser kritische Wert ist aus Fig. 2b entnehmbar und beträgt  $U_{GL}$ , was

5 der Gatespannung beim Kontrollesen während des Löschens an der zu löschenen Zelle entspricht. Unterschreitet die Schwellspannung der zu löschenen Zelle diesen Wert  $U_{GL}$ , so sinkt spontan der Drainspannungswert 29 der zu löschenen Zelle stark ab, d.h. die Zelle wird leitend.

10 Dieses spontane Absinken der Drainspannung einer oder mehrerer zu löschenen Zellen eines Speichers kann dazu benutzt werden, den Löschvorgang zu beenden.

In Fig. 2d sind Gatespannungsimpulse  $U_G$  in Abhängigkeit von der Zeit  $t$  dargestellt. Rechteckimpulse 31, 32, 33 werden dem Gate einer angewählten Zelle zugeführt, um eine Information in diese Zelle einzuschreiben. Die Dauer eines Schreibimpulses beträgt  $T_S$ . Die Zeitdauer vom Beginn eines Schreibimpulses bis zum Beginn des 20 nächstfolgenden Schreibimpulses beträgt  $T_2$ , die Dauer der Impulspause zwischen zwei aufeinanderfolgenden Schreibimpulsen beträgt  $T_2 - T_S$ .

In Fig. 2e wird die Änderung der Schwellspannung einer angewählten Zelle während der Schreibdauer dieser Zelle dargestellt, wobei das Schreiben mittels Impulsen nach Fig. 2d erfolgt. Die Schwellspannungskurve 40 einer anfangs gelöschten Zelle weist zu Beginn des Schreibvorganges einen niedrigen Schwellspannungswert 39, den 25 Schwellspannungswert  $U_T$  ("0") einer unprogrammierten Zelle auf. Jeder Schreibimpuls bewirkt eine Erhöhung des Schwellspannungswertes der einzuschreibenden Zelle. So bewirkt der Impuls 31 aus Fig. 2d einen Anstieg 41 der Schwellspannung  $U_T$ , der Impuls 32 einen Anstieg 42 und 30 der Impuls 33 einen Anstieg 43. Der Schreibvorgang ist dann beendet, wenn der Schwellspannungswert einer an-

909881/0488

ORIGINAL INSPECTED

gewählten Zelle oberhalb einer gewissen, beim Kontrolllesen anliegenden Gatespannung  $U_{GS}$  liegt. Dieses Kriterium ist für den Endwert 44 der Schwellspannung  $U_T$ , den Wert  $U_T("1")$ , in der Kurve 40 erfüllt,  $U_T("1") > U_{GS}$ .

5

Fig. 2f stellt die Drainspannung  $U_D$  während des Schreibvorganges einer angewählten Speicherzelle dar, bei der in den Schreibimpulspausen während einer Zeitdauer  $T_{KS}$  kontrollgelesen wird. Wie in Fig. 2c ist auch in Fig. 2f 10 nur die Drainspannung während der Dauer des Kontrollvorgangs in der Schreibphase  $T_{KS}$ , nicht aber während der Dauer der Schreibimpulse  $T_S$  eingezeichnet. Die Drainspannungswerte 46, 47, 48 einer angewählten Speicherzelle liegen während des Schreibvorganges solange auf 15 einem niedrigen Niveau, d.h. die angewählte Zelle ist durchgeschaltet, bis der Schwellspannungswert der Zelle über einen gewissen kritischen Wert angestiegen ist. Dieser kritische Wert ist aus Fig. 2e entnehmbar und beträgt  $U_{GS}$ , was der Gatespannung beim Kontrolllesen während des Schreibens an der angewählten Zelle entspricht. 20 Überschreitet die Schwellspannung der angewählten Zelle diesen Wert  $U_{GS}$ , so steigt spontan der Drainspannungswert 49 der angewählten Zelle stark an, d.h. die Zelle führt keinen Strom mehr. Dieses spontane Ansteigen der 25 Drainspannung einer angewählten Zelle eines Speichers kann dazu benutzt werden, den Schreibvorgang zu beenden.

Fig. 2g stellt die Gatespannung  $U_G$  in Abhängigkeit von der Zeit  $t$  einer angewählten Speicherzelle während des 30 Auslesevorgangs dar. Die Rechteckimpulse 51, 52 weisen jeweils das gleiche Potentialniveau, und zwar die Gate-Auslesespannung  $U_{GR}$  auf. Diese liegt zwischen der Schwellspannung  $U_T("1")$  einer mit einer "1" eingeschriebenen Speicherzelle und der Schwellspannung  $U_T("0")$  einer mit einer "0" eingeschriebenen Speicherzelle. In 35

Fig. 4 wird u.a. näher erläutert, wie ein ausreichend sicherer Abstand zwischen der Auslesespannung  $U_{GR}$  und der Schwellspannung  $U_T$ ("1") einer aufgeladenen Zelle einerseits und der Schwellspannung  $U_T$ ("0") einer gelöschten Speicherzelle schaltungsmäßig sicher eingehalten werden kann.

In Fig. 2 ist das Einschreiben und Löschen von Informationen in angewählte Zellen mittels dargestellten Schreib- bzw. Löschimpulsen verwirklicht. Bei speziell ausgestalteten Speicherzellen, wie sie in der Patentanmeldung P 26 43 9872 beschrieben sind, bei denen der Ladungsübergang bei einem Floating-Gate-Speicher außerhalb des Kanalbereichs in einem elektrisch isolierten Löschbereich oder Löschfenster stattfindet, können der Löschvorgang und das Kontrollesen gleichzeitig ablaufen. Für dieses Ausführungsbeispiel ist also auch ein statisches Löschen möglich. Auch in diesem Fall wird die Löschspannung mittels einer geeigneten Auswertelogik und einer Steuerschaltung in dem Moment abgeschaltet, in dem die Schwellspannung der zu löschenen Zelle einen vorgegebenen unteren Schwellspannungswert unterschreitet.

Die Symbole  $T_S$  bzw.  $T_L$  an verschiedenen Anschlüssen der Fig. 3, 4 und 5 deuten an, daß während der Schreibimpulsdauer bzw. während der Löschimpulsdauer an diesem Anschluß eine hinreichend hohe positive Spannung, d.h. eine "1" am entsprechenden Schaltsymbol anliegt. Analoges gilt für  $T_{KL}$  bzw.  $T_{KS}$  für die Dauer eines Kontrollesevorgangs während der Lösch- bzw. Schreibimpulspausen. Die Worte Schreiben, Löschen, Lesen bedeuten, daß entsprechende positive Spannungen während der gesamten Schreib-, Lösch- bzw. Lesedauer an den entsprechenden Anschlüssen anliegen. Die Worte Löschende bzw.

Schreibende deuten die Abgabe eines Spannungssignals zum Zeitpunkt des Lösch- bzw. Schreibendes an.

Fig. 3 stellt zwei Beispiele einer Auswertelogik 400 für 5 erfindungsgemäße Speicher dar. Bei dem logischen Schaltbild 410 aus Fig. 3 werden alle bitweise geschalteten Drainleitungen 1 bis  $n$  aus der Speichermatrix 100 herausgeleitet. Die bitweise geschalteten Drainleitungen 1 bis  $n$  werden einerseits über je einen Inverter  $\alpha_1$  bis  $\alpha_n$  10 auf ein UND-Glied  $\beta$  geführt und andererseits über je ein ODER-Glied  $\delta_1$  bis  $\delta_n$  auf ein UND-Glied  $\beta$  geleitet. Zusätzlich sind die Dateneingänge  $D_{E1}$  bis  $D_{En}$  über je einen Inverter  $\eta_1$  bis  $\eta_n$  auf die entsprechenden ODER-Glieder  $\delta_1$  bis  $\delta_n$  gelegt. Aus Gründen der Übersichtlichkeit 15 sind nur die 1., die 2. und die  $n$ -te Drainleitung mit zugehörigen Schaltsymbolen dargestellt. Es ist dafür gesorgt, daß das UND-Glied  $\beta$  nur während der Dauer der Kontrollesevorgänge in der Löschpause, d.h. während der Zeit  $T_{KL}$ , freigegeben ist, was z.B. durch einen weiteren 20 Anschluß 420 am UND-Glied  $\beta$  erfolgen kann, der während der Dauer des Kontrollesens beim Löschen jeweils eine positive Spannung führt und somit eine "1" an das UND-Glied  $\beta$  legt, während er zu den übrigen Zeiten keine Spannung 25 führt und somit eine "0" an das UND-Glied  $\beta$  legt. Ein Anschluß 430 sorgt analog dafür, daß das UND-Glied  $\beta$  nur während der Dauer  $T_{KS}$  der Kontrollesevorgänge in der Schreibphase freigegeben ist. An den Anschluß 430 werden deshalb Spannungsimpulse angelegt, die während der Dauer  $T_{KS}$  eine positive Spannung führen und somit eine "1" an 30 das UND-Glied  $\beta$  legen, während sie in den zugehörigen Kontrollesepausen eine "0" an das UND-Glied  $\beta$  legen und es somit während dieser Zeit nicht freigeben. Während der Dauer  $T_{KL}$  des Kontrollesens in der Löschphase liefert zunächst der Anschluß 420 eine "1" an das UND-Glied  $\beta$ . 35 Während des Löschvorganges eines angewählten Wortes lie-

fern jeweils diejenigen Speicherzellen ihren zugehörigen bitweise geschalteten Drainleitungen  $i$  ( $i = 1 \dots n$ ) dann eine "0", wenn ihre Schwellwerte nach Fig. 2b einen vorgegebenen unteren Spannungswert  $U_{GL}$  unterschritten haben.

5 Nach Erreichen dieses Zustandes an allen Zellen des angewählten Wortes, liefern alle Drainleitungen 1 bis  $n$  somit eine "0". Über die zugehörigen Inverter  $\alpha$  1 bis  $\alpha$   $n$  liegt somit an jedem Eingang des UND-Gliedes  $\beta$  eine 1 an und es erscheint somit am Ausgang des UND-Gliedes  $\beta$  10 das Steuersignal Löschende, das dann an die Steuerschaltung mit Impulsteil 300 aus Fig. 1 als Spannungsimpuls weitergegeben wird, wodurch wiederum eine weitere Impulsgabe der Steuerschaltung 300 an die Ansteuerung 200 unterbrochen wird. Der Löschvorgang ist damit für das an- 15 gewählte Wort beendet.

Beim Schreiben eines angewählten Wortes werden die 1 bis  $n$  bitweise geschalteten Drainleitungen über je ein ODER-Glied  $\delta_1$  bis  $\delta_n$  an ein gemeinsames UND-Glied  $\sigma$  ange- 20 schlossen. Den ODER-Gliedern  $\delta_i$  ( $i = 1$  bis  $n$ ) wird außer der zugehörigen Drainleitung  $i$  ( $i = 1$  bis  $n$ ) ebenfalls der zugehörige Dateneingang  $D_{Ei}$  ( $i = 1$  bis  $n$ ) über jeweils einen weiteren Inverter  $\gamma_i$  ( $i = 1$  bis  $n$ ) zugeführt. Wird die Zelle  $i$  mit einer Information versehen, 25 so führt die  $i$ -te bitweise geschaltete Drainleitung nach beendeter Aufladung der entsprechenden Zelle eine hinreichend große positive Drainspannung, d.h. eine "1" dem ODER-Glied  $\delta_i$  zu. Der zweite Eingang des ODER-Gliedes  $\delta_i$  wird hingegen mit einer "0" beschickt, da der zugehörige Dateneingang  $D_{Ei}$  eine "1" aufweist, die durch 30 den zwischengeschalteten Inverter  $\gamma_i$  in eine "0" umgewandelt wird, die dann den zweiten Eingang des ODER-Gliedes  $\delta_i$  erreicht. Der Ausgang des ODER-Gliedes  $\delta_i$  gibt somit an das UND-Glied  $\sigma$  eine "1" ab. Eine zweite

-24-

28 VPA 78 P 1110 BRD

Speicherzelle, in welche eine "0" eingeschrieben wird, gibt über seine bitweise geschaltete Drainleitung  $j$  an das zugehörige ODER-Glied  $\mathcal{J}_j$  stets eine Information "0" ab, da die Drainspannung dieser Zelle nicht ansteigt.

5 Der entsprechende Dateneingang  $D_{Ej}$  führt eine "0" an den Inverter  $\mathcal{I}_j$ , der wiederum eine "1" an den zweiten Eingang des ODER-Gliedes  $\mathcal{J}_j$  liefert. Der Ausgang des ODER-Gliedes  $\mathcal{J}_j$  gibt somit ebenfalls eine "1" an das UND-Glied  $\mathcal{J}$  ab. Alle Zellen des angewählten Wortes, in die 10 eine "0" eingeschrieben wird, liefern somit von Beginn des Schreibvorganges an eine "1" an den zugehörigen Eingang des UND-Gliedes  $\mathcal{J}$ . Alle übrigen Speicherzellen des angewählten Wortes, in welche eine "1" eingeschrieben wird, liefern dann eine "1" an den Eingang des UND-Gliedes  $\mathcal{J}'$ , wenn der Einschreibvorgang in der entsprechenden Zelle beendet ist. Ein weiterer Anschluß 430 am Eingang des UND-Gliedes  $\mathcal{J}$  liefert während der Dauer jedes Kontrollesevorganges in der Schreibphase, d.h. während  $T_{KS}$ , eine "1" an den Eingang des UND-Gliedes  $\mathcal{J}$ . 15

20 Damit wird sichergestellt, daß nur in den Schreibimpulspausen kontrollgelesen wird. Nach Beendigung des Schreibvorganges der langsamsten angewählten Speicherzelle, in welche eine Information eingeschrieben wird, weisen alle Eingänge des UND-Gliedes  $\mathcal{J}$  eine "1" auf.

25 Das Schreibende wird somit durch eine "1" als Ausgangssignal des UND-Gliedes  $\mathcal{J}$  angezeigt. Dieses Ausgangssignal wird aus der Auswertlogik 400 über eine Leitung 304 in die Steuerschaltung mit Impulsteil 300 geleitet (vgl. Fig. 1) und bewirkt dort eine Beendigung der Abgabe 30 von Schreibimpulsen an die Gateansteuerung 500. Der Schreibvorgang ist damit beendet.

Bei Integration in MOS-Technik werden anstelle der UND-Glieder  $\mathcal{B}$  bzw.  $\mathcal{J}$  mit Vorteil auch NOR-Glieder verwendet, wobei die davor geschaltete Logik sinngemäß zu ändern ist.

Das logische Schaltbild 450 aus Fig. 3a ist eine vereinfachte Ausführung der mit dem logischen Schaltbild 410 dargestellten Auswertlogik. Hierbei wird eine einzige Meßzelle 451 neben den übrigen Zellen einer Speichermatrix auf einem Chip angebracht. Das Schreib- bzw. Löscherhalten dieser Meßzelle 451 wird repräsentativ für das Schreib- bzw. Löscherhalten sämtlicher Zellen am Chip angesehen. Das Ende der Schreibdauer oder der Löschedauer der Meßzelle 451 signalisiert zugleich das Schreib- bzw. 5 Löschende aller Zellen eines angewählten Wortes. Die Meßzelle 451 wird während eines Schreib- oder Löschvorganges mit den gleichen Schreib- bzw. Löschimpulsen gespeist wie entsprechende Zellen eines angewählten Speicherwortes. In den Impulspausen wird jedoch nur an der Meßzelle 451 kontrollgelesen. Dazu wird die Drainleitung 452 aus der Meßzelle 451 herausgeführt und einerseits über einen Inverter  $\alpha$  an den Anschluß 453 eines UND-Gliedes  $\beta$  geleitet, und andererseits an einen Anschluß 455 eines UND-Gliedes  $\delta$  geleitet. Das UND-Glied  $\beta$  enthält außerdem einen Anschluß 454, der in den Löschimpulspausen während der 10 Kontrolllesedauer  $T_{KL}$  eine "1" dem UND-Glied  $\beta$  zuführt, während er in der übrigen Zeit dem UND-Glied  $\beta$  eine "0" zuführt. Das UND-Glied  $\delta$  enthält analog einen Anschluß 456, der diesem während der Dauer des Kontroll- 15 lesens in den Schreibimpulspausen eine "1" zuführt, zu allen übrigen Zeiten hingegen eine "0" zuführt. Werden der Meßzelle 451 Löschimpulse zugeführt, so sinkt deren Schwellwert laufend ab. Unterhalb eines gewissen Grenzwertes wird die Meßzelle 451 leitend, d.h. beim Kontroll- 20 lesen gibt die Drainleitung 452 eine "0" an den Inverter  $\alpha$  ab, und dieser wiederum eine "1" an den Anschluß 453 des UND-Gliedes  $\beta$  ab. Da der Anschluß 454 während der Kontrolllesedauer  $T_{KL}$  während der Löschimpulspausen ebenfalls eine "1" führt, gibt das UND-Glied  $\beta$  als Aus- 25 30

gangssignal ebenfalls eine "1" ab, wodurch das Löschende signalisiert wird. Leitet man in diesem Fall den Ausgang des UND-Gliedes  $\beta$  über die Leitung 304 in die Steuerschaltung mit Impulsteil 300 (vgl. Fig. 1), so kann da-

5 mit die Impulsgabe der Steuerschaltung 300 an die Ansteuerung 200 abgeschaltet werden. Das Löschende der Meßzelle 451 bewirkt somit das Löschende der angewählten Speicherzellen. Wird andererseits die Meßzelle 451 gleichzeitig mit angewählten Zellen der Speichermatrix mit

10 Schreibimpulsen beschickt, so steigt die Schwellspannung der Meßzelle 451 an (vgl. Fig. 2e). Überschreitet die Schwellspannung einen gewissen vorgegebenen Wert, so steigt die Drainspannung in den Impulspausen stark an. Die Drainleitung 452 legt somit an den Anschluß 455 des

15 UND-Gliedes  $\beta$  eine "1". Während der Leseimpulsdauer  $T_{KS}$  in den Schreibimpulspausen liegt andererseits auch an dem Anschluß 456 des UND-Gliedes  $\beta$  eine "1" an. Der Ausgang des UND-Gliedes  $\beta$  gibt somit eine "1" über die Leitung 304 an die Steuerschaltung mit Impulsteil 300 (vgl. Fig. 1)

20 ab, wodurch eine weitere Abgabe von Schreibimpulsen der Steuerschaltung mit Impulsteil 300 an die Gateansteuerung 500 abgeschaltet wird. Die Schreibdauer aller angewählten Zellen der Speichermatrix 100 ist somit gleichzeitig mit der Schreibdauer der Meßzelle 451 beendet. Die Verwen-

25 dung einer einzigen Meßzelle ist jedoch nur dann sinnvoll, wenn die toleranzbedingten Schwankungen der Lösch- und Programmereigenschaften aller Speichertransistoren innerhalb eines Speichers hinreichend gering sind.

30 Anstelle einer einzigen Meßzelle läßt sich auch eine Spalte von Speicherzellen mit einer bitweise geschalteten Drainleitung verwenden. Jedes angewählte Wort einer Speichermatrix verfügt dann über eine gesonderte Meßzelle, die jeweils analog der Schaltung der Meßzelle 451

das Schreib- und Löschende aller Zellen eines angewählten Wortes signalisiert.

In Fig. 4 ist eine Gate-, Drain- und Sourceansteuerung für eine Speichermatrix 100 dargestellt, die aus Floating-Gate-Speicherzellen mit Splitgate-Struktur 101 aufgebaut ist. Die Speicherzellen werden, wie eingangs beschrieben, mittels Kanalinjektion geladen, während das Entladen des floatenden Gates einer Speicherzelle bei einer angelegten hohen elektrischen Spannung zwischen dem Steuergate und einem Diffusionsgebiet mittels rücktunnelnder Elektroden aus dem floatenden Gate in das Diffusionsgebiet erfolgt. Die dargestellte Gateansteuerung 500 ist so eingerichtet, daß die Dauer eines Kontrollesevorgangs in der Löschimpulspause  $T_{KL}$  gerade die gesamte Impulspause zwischen zwei aufeinanderfolgenden Löschimpulsen ausfüllt, d.h. daß  $T_{KL}$  gleich ist der Differenz  $T_1 - T_L$  (vgl. Fig. 2a und 2c). Entsprechendes gilt für die Dauer eines Kontrollesevorgangs in den Schreibphasen  $T_{KS}$  in Bezug auf die zugehörigen Schreibimpulspausen. Diese Wahl der Kontrollesedauer beim Schreibvorgang wie beim Löschvorgang ist durchaus nicht zwingend. Es muß lediglich sichergestellt sein, daß das Kontrollesen jeweils innerhalb der Schreib- bzw. Löschimpulspausen erfolgt, d.h.

$$T_{KL} \leq T_1 - T_L \text{ bzw. } T_{KS} \leq T_2 - T_S.$$

In Fig. 4 wurden aus Gründen der Übersichtlichkeit die Gateansteuerung der 1., der i-ten und der m-ten Zeile sowie die Source- und Drainansteuerung der 1., der i-ten und der n-ten Spalte eingezeichnet. Die Ansteuerung der übrigen Zeilen und Spalten erfolgt analog.

Die Gatespannung  $U_{Gi}$  am i-ten ( $i = 1$  bis  $m$ ) Speichergrate der Speichermatrix 100 wird mittels einer Auswahl-

logik 501<sub>i</sub> entweder über den Transistor 500<sub>i2</sub> an die Spannung des Punktes 515 gelegt oder mittels des Inverters 500<sub>i3</sub> über den Transistor 500<sub>i1</sub> an einen Spannungsteiler 550 angeschlossen. Die Auswahllogik 501<sub>i</sub> setzt sich aus

5 einem NOR-Glied 503<sub>i</sub> zusammen, dessen Ausgang an die Gates der Transistoren 500<sub>i2</sub> bzw. durch Zwischenschaltungen eines Inverters 500<sub>i3</sub> an das Gate des Transistors 500<sub>i1</sub> gelegt ist. Das NOR-Glied 503<sub>i</sub> weist zwei Eingänge auf, die ihrerseits mit den Ausgängen zweier UND-Glieder

10 502<sub>i</sub> und 504<sub>i</sub> verbunden sind. Die UND-Glieder 502<sub>i</sub> und 504<sub>i</sub> besitzen je zwei Eingänge, wobei ein Eingang des UND-Gliedes 502<sub>i</sub> durch einen Inverter 505<sub>i</sub> mit einem Eingang des UND-Gliedes 504<sub>i</sub> verbunden ist.

15 Im folgenden soll gezeigt werden, wie die Gate-Ansteuerung 500 alle möglichen Bedingungen für das Löschen, Schreiben, Kontrollesen und Auslesen verwirklicht. Von einem Zeilen-dekoder ausgehende Auswahlleitungen  $W_1$  bis  $W_m$  ermöglichen es, jeweils ein Speicherwort anzuwählen. Im folgen-

20 den soll stets das Wort  $i$  als angewähltes Wort betrachtet werden. Alle übrigen Worte sollen nicht angewählt sein. Nichtangewählte Worte  $W_k$  ( $k = 1$  bis  $m$ ;  $k \neq i$ ) führen über die Leitung 507<sub>k</sub> eine Null an das UND-Glied 502<sub>k</sub>. Daher weist auch der Ausgang von 502<sub>k</sub> eine "0" auf. Das UND-Glied 504<sub>k</sub> weist infolge des Inverters 505<sub>k</sub> am Anschluß 508<sub>k</sub> eine "1" auf. Während des gesamten Löschvorganges weist der Eingang 516 des ODER-Gliedes 514 eine "1" auf, weshalb auch der Ausgang des ODER-Gliedes 514 eine "1" an den Eingang 509<sub>k</sub> des UND-Gliedes 504<sub>k</sub> legt. Der Ausgang des UND-Gliedes 504<sub>k</sub> gibt somit eine "1" an das ODER-Glied 503<sub>k</sub> ab, weshalb dessen Ausgang wiederum eine "1" abgibt. Damit wird über den Inverter 500<sub>k3</sub> und den Transistor 500<sub>k1</sub> der Spannungsteiler 550 abgeschaltet, während über den Transistor 500<sub>k2</sub>

25 die Gate-Spannung  $U_{Gk}$  an die Spannung des Punktes 515

30

35

angeschlossen ist. Während der Dauer der Löschimpulse führt der Eingang 521 des NOR-Gliedes 523 eine "1", weshalb der Ausgang von 523 eine "0" führt. Damit ist der Transistor 520 gesperrt und die Gate-Spannung der k-ten Zeile  $U_{Gk}$  hat die Spannung des Punktes 515. Bei zu vernachlässigendem Widerstand 510 gilt:

5  $U_{Gk} \approx U_G \approx 25$  Volt. In den Löschimpulspausen weisen hingegen beide Eingänge des NOR-Gliedes 523 eine "0" auf, weshalb sein Ausgang eine "1" abgibt. Der Transistor 520 10 ist damit durchgeschaltet und die Spannung des Punktes 515, die zugleich ungefähr die Spannung  $U_{Gk}$  ist, weist einen Wert von ungefähr 0 Volt auf.

15 Für ein angewähltes Wort  $i$  erhält die Leitung  $507_i$  über die Auswahlleitung  $W_i$  eines zugehörigen Zeilendekoders eine "1". Der Eingang  $506_i$  des UND-Gliedes  $502_i$  weist während der gesamten Löschphase sicherlich eine "0" auf, da der Ausgang des UND-Gliedes 511 während des gesamten Löschvorganges stets eine "0" liefert, da wiederum der 20 Eingang 531 nur während der Schreibphase eine "1" und zu anderen Zeiten stets eine "0" liefert. Der Ausgang des UND-Gliedes  $502_i$  gibt somit an den Eingang des ODER-Gliedes  $503_i$  eine "0" ab. Das UND-Glied  $504_i$  legt ebenfalls an den zweiten Eingang des ODER-Gliedes  $503_i$  eine 25 "0", da die "1" am Eingang  $507_i$  durch den Inverter  $505_i$  in eine "0" am Eingang  $508_i$  umgewandelt wird. Der Ausgang des ODER-Gliedes  $503_i$  gibt somit eine "0" ab, weshalb der Transistor  $500_{i2}$  gesperrt wird, während der Transistor  $500_{i1}$  mittels des Inverters  $500_{i3}$  geöffnet 30 wird, so daß die Gatespannung  $U_{Gi}$  an den Spannungsteiler 550 angeschlossen ist. Am Ausgang 551 des Spannungsteilers 550 liegt während der Löschimpulse, da während der Löschimpulse der Transistor 567 durchgeschaltet ist, ungefähr eine Spannung von 0 Volt an, die somit

-30-

28 VPA 78 P 1110 BRD

auch als Gatespannung  $U_{Gi}$  anliegt. Während der Impulspausen beim Löschen ist der Transistor 567 gesperrt. Die Transistoren 566 und 565 sind während der gesamten Löschdauer ohnehin gesperrt. Damit liegt am Ausgang 551 des

5 Spannungsteilers in den Löschimpulspausen über den durchgeschalteten Transistor 564 die Spannung  $U_{GL}$  an, die zugleich auch die Gatespannung  $U_{Gi}$  liefert. Mit dieser Spannung  $U_{GL}$  am Gate des angewählten Wortes  $i$  wird in den Impulspausen kontrollgelesen.

10

Während des Gesamtschreibvorganges führt der Eingang  $507_k$  für ein nicht angewähltes Wort stets eine "0". Damit gibt auch das UND-Glied  $502_k$  eine "0" an einen Eingang des ODER-Gliedes  $503_k$  ab. Das UND-Glied  $504_k$  gibt hingegen 15 eine "1" in den Schreibimpulspausen an den zweiten Eingang des ODER-Gliedes  $503_k$  ab, da der Eingang  $508_k$  des UND-Gliedes  $504_k$  durch den Inverter  $505_k$  stets eine "1" erbringt, und der Eingang  $509_k$  in den Schreibimpulspausen ebenfalls eine "1" bringt. In den Schreibimpulspausen gibt nämlich der Inverter 512 eine "1" an den Eingang 20 533 des UND-Gliedes 513 ab. An dem zweiten Eingang 532 des UND-Gliedes 513 liegt während des gesamten Schreibvorganges eine "1" an. Somit gibt das UND-Glied 513 eine "1" an den Eingang 517 des ODER-Gliedes 514 ab, was wie- 25 derum eine "1" am Ausgang des ODER-Gliedes 514 und damit eine "1" am Eingang  $509_k$  des UND-Gliedes  $504_k$  bewirkt. Während der Schreibimpulse liegt hingegen am Eingang  $509_k$  des UND-Gliedes  $504_k$  eine "0" an, so daß beide Eingänge des ODER-Gliedes  $503_k$  eine "0" aufweisen und 30 somit auch der Ausgang des ODER-Gliedes  $503_k$  während der Schreibimpulse eine "0" aufweisen. Damit sind während der Schreibimpulse die Gateleitungen nicht angewählter Worte wegen des Inverters  $500_{k3}$  über den Transistor  $500_{k1}$  mit dem Spannungsteiler 550 verbunden, während die Gateleitungen nicht angewählter Worte in den 35

27

VPA 78 P 1110 8RD

Schreibimpulspausen über den Transistor  $500_{k2}$  auf der Spannung des Punktes 515 liegen. In den Schreibimpulspausen ist der Transistor 520 durchgeschaltet, da das NOR-Glied 523 am Ausgang eine "1" liefert, weil seine beiden 5 Eingänge eine "0" aufweisen. Die Gatespannung  $U_{Gk}$  nicht angewählter Worte beträgt in den Impulspausen deshalb ungefähr gleich "0" V. Während der Schreibimpulse hingegen sind die Gates der nicht angewählten Worte infolge der "0" am Ausgang des ODER-Gliedes  $503_k$  und des Inverters  $500_{k3}$  10 über den Transistor  $500_{k1}$  mit dem Ausgang 551 des Spannungsteilers 550 verbunden. Am Ausgang 551 liegt während der gesamten Schreibphase über den durchgeschalteten Transistor 566 nur die relativ niedrige Spannung  $U_{GS}$  an, d.h. die Gatespannung beim Kontrollesen während des 15 Schreibens. Die Transistoren 564, 565 und 567 des Spannungsteilers 550 sind während der gesamten Schreibphase gesperrt.

Bei einem angewählten Wort  $i$  wird die am Eingang  $507_i$  20 anliegende "1" über den Inverter  $505_i$  in eine "0" an den Anschluß  $508_i$  des UND-Gliedes  $504_i$  invertiert, so daß das UND-Glied  $504_i$  eine "0" an das ODER-Glied  $503_i$  abgibt. Über den Eingang 531 erhält das UND-Glied 511 während der gesamten Schreibphase eine "1". Über den 25 Eingang 530 erhält das UND-Glied 511 eine weitere "1" während der Dauer der Schreibimpulse und eine "0" während der Schreibimpulspausen. Damit gibt das UND-Glied 511 während der Dauer der Schreibimpulse eine "1" und während der Dauer der Schreibimpulspausen eine "0" an 30 den Eingang  $506_i$  des UND-Gliedes  $502_i$  ab. Nachdem der Eingang  $507_i$  des UND-Gliedes  $502_i$  als angewähltes Wort stets eine "1" hat, gibt somit das UND-Glied  $502_i$  während der Dauer der Schreibimpulse eine "1" und während der Dauer der Schreibimpulspausen eine "0" an den Eingang des ODER-Gliedes  $503_i$  ab. Der zweite Eingang dieses 35

ODER-Gliedes weist, wie gezeigt wurde, während der Schreibdauer stets eine "0" auf. Während der Dauer der Schreibimpulse liegt somit am Ausgang des ODER-Gliedes 503<sub>i</sub> eine "1" an, weshalb die Gatespannung  $U_{Gi}$  über den Transistor 500<sub>i2</sub> am Punkt 515 anliegt. Da während der Schreibimpulsdauer der Eingang 522 des NOR-Gliedes 523 eine "1" führt, weist sein Ausgang eine "0" auf, weshalb der Transistor 520 gesperrt ist. Am Punkte 515 liegt somit eine Spannung von ungefähr 25 V an, was der Gatespannung 10  $U_{Gi}$  entspricht. Während der Schreibimpulspausen liegt hingegen das Gate eines angewählten Wortes  $i$  über den durchgeschalteten Transistor 500<sub>i1</sub> am Spannungsteiler 550 an, an dessen Ausgang 551 infolge des durchgeschalteten Transistors 566 die Spannung  $U_{GS}$ , die Gatespannung 15 beim Kontrollesen während des Schreibens anliegt. Alle übrigen Transistoren, Transistoren 565, 564 und 567 sind während der Schreibimpulspausen gesperrt.

Während des Auslesens eines angewählten Wortes  $i$  führt 20 der Anschluß 506<sub>i</sub> des UND-Gliedes 502<sub>i</sub> stets eine "0", da die Eingänge 530 und 531 des UND-Gliedes 511 stets eine "0" aufweisen, weshalb auch der Ausgang des UND-Gliedes 511 und somit der Eingang 506<sub>i</sub> des UND-Gliedes 502<sub>i</sub> stets eine "0" aufweist.

25 Das UND-Glied 502<sub>i</sub> führt somit dem ODER-Glied 503<sub>i</sub> stets eine "0" zu. Durch den Inverter 505<sub>i</sub> erhält der Eingang 508<sub>i</sub> des UND-Gliedes 504<sub>i</sub> stets eine "0", weshalb sein Ausgang dem ODER-Glied 503<sub>i</sub> ebenfalls stets eine "0" zuführt. Damit führt für die gesamte Auslesephase der Ausgang des ODER-Gliedes 503<sub>i</sub> stets eine "0", d.h. der Transistor 500<sub>i2</sub> ist stets gesperrt, während der Transistor 500<sub>i1</sub> infolge des Inverters 500<sub>i3</sub> leitend ist und somit die angewählte Gateleitung mit dem

Spannungsteiler 550 verbindet. Im Spannungsteiler 550 sind während der Auslesephase die Transistoren 567, 564 und 566 gesperrt. Am Ausgang 551 des Spannungsteilers 550 liegt somit die Gate-Auslesespannung  $U_{GR}$  an.

5

Im Falle eines nicht angewählten Wortes  $k$  liegt der Eingang  $508_k$  des UND-Gliedes  $504_k$  infolge des Inverters  $505_k$  auf "1", der zweite Anschluß  $509_k$  dieses UND-Gliedes führt ebenfalls eine "1", da der Ausgang des ODER-Gliedes 514

- 10 infolge einer "1" am Eingang 518 ebenfalls eine "1" führt. Das ODER-Glied  $503_k$  weist somit für nicht angewählte Worte stets eine "1" am Ausgang auf, weshalb der Spannungsteiler 550 von der zugehörigen Gateleitung abgetrennt ist, während an die zugehörige Gateleitung über den Transistor
- 15  $500_{k2}$  die Spannung des Punktes 515 angelegt ist. Nachdem beide Eingänge 521 und 522 des NOR-Gliedes 523 je eine "0" führen, ergibt sich am Ausgang dieses NOR-Gliedes eine "1". Der Transistor 520 ist somit durchgeschaltet. Die Spannung des Punktes 515 und damit auch die Spannung
- 20 der nicht angewählten Gates beträgt somit ungefähr "0" V während der gesamten Auslesedauer.

Die Widerstände 571, 572, 573, 574 des Spannungsteilers 550 können entweder diffundierte Widerstände sein oder

- 25 Feldeffekttransistoren vom Enhancementtyp im gesättigten oder ungesättigten Zustand, oder aber sie können Feldeffekttransistoren vom Depletiontyp sein. Der Anschluß des Widerstandes 571, der nicht mit dem Widerstand 572 verbunden ist, ist geerdet. Der Anschluß des Widerstandes
- 30 574, der nicht mit dem Widerstand 573 verbunden ist, ist an eine Versorgungsspannung angeschlossen, welche größer ist als  $U_{GL}$ , die Gatespannung beim Kontrollesen während des Löschens. Die Spannungsdifferenz  $U_{GS} - U_{GL}$ , das sogenannte Schreib-Lesefenster, hängt in seiner Dimensionierung von der verwendeten Speichertechnologie ab. Bei
- 35

den häufigst verwendeten Speichertypen beträgt das Schreib-Lesefenster etwa 1 V bis 6 V. Die Verwendung eines Spannungsteilers wie in Fig. 4 dargestellt, garantiert sichere Abstände zwischen den verwendeten Kontrollespannungen sowohl beim Schreiben als auch beim Löschen und der Auslesespannung, so daß eine unprogrammierte Zelle sicher von einer programmierten Zelle unterscheiden werden kann. Die relative Lage der Spannungen zueinander ist durch einen solchen Spannungsteiler

5 10 15 20 25 30 sichergestellt. Toleranzbedingte unterschiedliche Schreib- und Löscheigenschaften der Speicherzellen innerhalb eines Speichers wirken sich nicht auf die Zuverlässigkeit beim Auslesen, sondern nur auf die Dauer des Schreib- bzw. Löschganges aus. Die Breite des elektrischen Fensters  $U_{GS} - U_{GL}$  kann, dank des Spannungsteilers 550, relativ klein gehalten werden, da die Zustände "0" und "1" relativ zur Auslesespannung sehr genau festgelegt sind. Dadurch dürfen entweder die Spannungen während des Programmierens niedrig sein oder die Umprogrammierung läuft besonders schnell ab. Weiterhin kann durch Verwendung des Spannungsteilers 550 das elektrische Fenster in einem bestimmten gewünschten Schwellspannungsbereich der verwendeten Speicherzellen hineingeschoben werden.

25 In Fig. 4 ist außerdem die Source-Drain-Ansteuerung 200 dargestellt für eine Split-Gate-Speicherzelle, die mit Kanalinjektion aufgeladen und mittels eines starken elektrischen Potentials zwischen Steuergate und einem Diffusionsgebiet entladen wird.

30 Die Drainansteuerung 220 wird für die i-te Spalte ( $i = 1$  bis  $n$ ) durch einen Transistor  $210_i$  und einen dazu parallelgeschalteten Transistor  $209_i$  gebildet. Der Transistor  $210_i$  ist stets durchgeschaltet und so dimensioniert,

35 daß durch ihn stets ein kleiner Strom fließt, der zum Le-

~~35-~~

VPA 78 P 1110 BRD

sen oder Kontrollesen ausreicht, der jedoch nicht zum Programmieren einer Zelle ausreicht. Ein UND-Glied 208<sub>i</sub> steuert mit seinem Ausgang 211<sub>i</sub> das Gate des Transistors 209<sub>i</sub>, so daß der Transistor 209<sub>i</sub> Strom führt, der den Programmierstrom für eine programmierende Zelle liefert, wenn sowohl 5 ein Dateneingang in der i-ten Zeile ( $D_{Ei}$ ) erfolgt, d.h. der Eingang 213<sub>i</sub> somit eine "1" aufweist und ein Schreibimpuls erfolgt, d.h.  $T_S$  legt ebenfalls eine "1" an den Eingang 212. Die Drainspannung der i-ten Spalte 10 beträgt, wenn vom Widerstand des Transistors 209<sub>i</sub> abgesehen wird,  $U_{D_i} \approx U_D \approx 17$  V. Bei allen anderen möglichen Speichervorgängen, z.B. in den Schreibimpulspausen, während der gesamten Löschdauer und während der Auslese- 15 dauer, führt der Transistor 209<sub>i</sub> keinen Strom, so daß kein Programmierstrom in den Drainleitungen der i-ten Spalte fließen kann.

Die Source-Ansteuerung 250 für eine Split-Gate-Speicherzelle, die mit Kanalinjektion aufgeladen und mittels 20 eines starken elektrischen Feldes zwischen Steuergate und einem Diffusionsgebiet entladen wird, ist für alle Sourceleitungen gemeinsam. Sie besteht aus einem Widerstand 256, dessen einer Anschluß mit dem Drain eines Transistors 258 verbunden ist, während der Sourceanschluß 261 des Transistors 258 auf Masse liegt und der freie Anschluß 255 des Widerstandes 256 ein Potential 25  $U_{SS} = 25$  bis 40 V aufweist. Das Gate des Transistors 258 wird über einen Inverter 259 während der Dauer der Löschimpulse  $T_L$  angesteuert. Der Transistor 258 ist so 30 mit während der Dauer eines jeden Löschimpulses gesperrt. Am Punkt 257, an dem die Source-Spannung  $U_S$  abgegriffen wird, ergibt sich bei gesperrtem Transistor 258 somit eine Spannung  $U_S \approx U_{SS} = 25$  bis 40 V. Diese relativ hohe positive Sourcespannung wird auch nur während der Lösch- 35 impulse für das in Fig. 4 gewählte Beispiel einer Spei-

cherzelle benötigt. Bei der der Fig. 4 zugrunde gelegten Split-Gate-Speicherzelle wird während der Löschimpulse eine hohe positive Spannung am Source angelegt, während das Steuergate z.Zt. eine Spannung von 0 V aufweist. Zu allen

5 übrigen Zeiten außerhalb der Löschimpulse ist der Transistor 258 leitend, das Potential am Punkt 257, und zugleich die Source-Spannung  $U_S$ , beträgt  $U_S - 0$  V.

Fig. 5 stellt eine Source- und Drainansteuerung für 10 einen erfindungsgemäßen Speicher dar, der aus Speicherzellen aufgebaut ist, die durch Anlegen von hohen elektrischen Feldern zwischen Steuergate und einem Diffusionsgebiet aufgeladen und entladen werden. Die Gateansteuerung erfolgt analog der Gateansteuerung nach 15 Fig. 4.

Die Drainspannungen  $U_{Di}$  ( $i = 1$  bis  $n$ ) werden über ständig durchgeschaltete Transistoren  $270_i$  mit einer Versorgungsspannung  $V_{DD}$  verbunden.

20 Da in dem betrachteten Ausführungsbeispiel zwischen Kanalbereich und Gate über den Sourceanschluß gelöscht und programmiert wird, ist die Sourceansteuerung entsprechend aufwendig. Beim Löschtvorgang ist  $T_S = 0$ , weshalb bei der 25 Sourceansteuerung der  $i$ -ten Spalte der Eingang  $286_i$  des UND-Gliedes  $285_i$  eine "0" aufweist. Das UND-Glied  $285_i$  weist somit am Ausgang und gleichzeitig am Eingang  $284_i$  des NOR-Gliedes  $281_i$  eine "0" auf. Der zweite Eingang  $283_i$  weist während der Dauer der Löschimpulse eine "1" 30 und sonst eine "0" auf. Damit liegt während der Dauer der Löschimpulse  $T_L$  am Ausgang  $282_i$  des NOR-Gliedes  $281_i$  eine "0" an, weshalb der Transistor  $271_i$  während der Dauer der Löschimpulse gesperrt ist, während dieser in den Löschimpulspausen durchgeschaltet ist. Während der

Löschimpulsdauer  $T_S$  liegt somit die Spannung des Punktes 290 über den Widerstand  $277_i$  an den Sourceleitungen als Source-Spannung  $U_{Si}$  an. Da  $T_S = 0$  gilt, ist der Transistor 272 gesperrt und da zugleich  $T_L = 0$  gilt, ist auch der

5 Transistor 273 gesperrt. Am Punkt 290 liegt somit die Spannung  $U_p = 20$  bis  $40$  V an. Während der Löschimpulspausen liegt hingegen, infolge des durchgeschalteten Transistors  $271_i$ , eine Spannung  $U_{Si}$  von ungefähr gleich  $0$  V an.

10 Beim Schreibvorgang wird zunächst der Zustand während der Dauer von Schreibimpulsen für eine Spalte  $i$  mit einer Zelle eines angewählten Wortes betrachtet, in die eine Information eingeschrieben werden soll, d.h.

$$T_S = 1; D_{Ei} = 1.$$

15 Über den Inverter  $289_i$  erhält der Eingang  $287_i$  des UND-Gliedes  $285_i$  eine "0". Der Ausgang  $284_i$  des UND-Gliedes  $285_i$  gibt deshalb eine "0" an einen Eingang des NOR-Gliedes  $281_i$  ab. Der zweite Eingang  $283_i$  führt ebenfalls eine "0", da  $T_L = 0$  gilt. Der Ausgang  $282_i$  des NOR-Gliedes  $281_i$  führt somit eine "1" und schaltet den Transistor  $271_i$  während der Dauer der Schreibimpulse  $T_S$  durch. Die Sourcespannungen  $U_{Si}$ , in deren Spalte eine Zelle eingeschrieben werden soll, betragen somit  $U_{Si} \approx 0$  V.

20 25 Auch während der Dauer der Schreibimpulspausen ist der Transistor  $271_i$  durchgeschaltet, da in diesem Falle lediglich beide Eingänge des UND-Gliedes  $285_i$  eine "0" aufweisen, wodurch das Ausgangssignal von  $285_i$  nicht geändert wird. Es gilt deshalb auch  $U_{Si} \approx 0$  V.

30 Bei einer Spalte  $k$ , bei der in die angewählte Zelle keine Information eingeschrieben werden soll, gilt  $D_{Ek} = 0$ . Wegen des Inverters  $289_k$  liegt am Eingang  $287_k$  somit stets eine "1" an. Am zweiten Eingang  $286_k$  des UND-Gliedes  $285_k$  liegt jeweils während der Dauer eines Schreib-

impulses ebenfalls eine "1" an. Während der übrigen Zei-  
ten liegt dort eine "0" an. Deshalb liegt auch während  
der Dauer der Schreibimpulse am Eingang  $284_k$  des ODER-  
Gliedes  $281_k$  stets eine "1" und sonst eine "0" an. Da  
5 während der gesamten Schreibphase  $T_L = 0$  ist, führt der  
zweite Eingang  $283_k$  des ODER-Gliedes  $281_k$  während der  
Schreibphase stets eine "0". In der Schreibphase gibt  
somit der Ausgang  $282_k$  des NOR-Gliedes  $281_k$  während der  
Schreibimpulspausen eine "1" ab, d.h. der Transistor  $271_k$   
10 ist durchgeschaltet und das heißt wiederum, die Source-  
spannung  $U_{Sk} = 0$  V. Während der Dauer der Schreibimpulse  
gibt hingegen das NOR-Glied  $281_k$  eine "0" am Ausgang  $282_k$   
ab, weshalb der Transistor  $271_k$  gesperrt ist. Die Source-  
spannung  $U_{Sk}$  ist in diesem Fall über den Widerstand  $277_k$   
15 auf dem Potential des Punktes 290. Während der Dauer der  
Schreibimpulse, d.h.  $T_S \neq 0$  ist der Transistor 272 durch-  
geschaltet, während der Transistor 273 infolge des zwischen-  
geschalteten NOR-Gliedes 276 gesperrt ist. Die Spannung  
des Punktes 290 beträgt, da die Widerstände 274 und 275  
20 gleich groß sind,  $U_p/2$ ; mit  $U_p \approx 20$  V bis 40 V. Damit  
beträgt auch die Source-Spannung  $U_{Sk}$  für eine Spalte K  
mit einer angewählten Zelle, in die keine Information  
eingeschrieben werden soll, während der Dauer der Schreib-  
impulse  $U_{Sk} \approx U_p/2$ , wenn der Spannungsabfall am Widerstand  
25  $277_k$  vernachlässigt wird.

Während der Dauer eines Auslesevorganges sind die Daten-  
eingänge 0, deshalb liegt über die Inverter  $289_i$  ( $i =$   
1 bis n) eine "1" am Eingang  $287_i$  und wegen  $T_S = 0$  eine  
30 "0" am Eingang  $286_i$  des UND-Gliedes  $285_i$  an, weshalb der  
Ausgang dieses UND-Gliedes  $285_i$  eine "0" an den Eingang  
 $284_i$  legt. Da gleichzeitig auch nicht gelöscht wird,  
liegt am zweiten Eingang  $283_i$  des NOR-Gliedes  $281_i$  eben-  
falls eine "0" an, weshalb der Ausgang  $282_i$  des NOR-Glie-  
35 des  $281_i$  eine "1" auf das Gate des Transistors  $271_i$  legt.

- 39 -

35 VPA 78 P 1110 BRD

Der Transistor  $271_i$  ist somit durchgeschaltet. Die Source-Spannung beträgt somit während der Auslesephase  $U_{Si} \approx 0$  V.

Die bitweise geführten Drainleitungen liegen über die durchgeschalteten Transistoren  $270_i$  ( $i = 1$  bis  $n$ ) alle 5 stets auf dem gleichen Potential  $V_{DD}$ .

Abschließend wird aufgezeigt, daß die in Fig. 4 und 5 beschriebenen Gate-, Source- und Drainansteuerungen für die jeweils verwendeten Fälle die entsprechenden Lösch-, bzw.

10 Schreib- bzw. Lesebedingungen liefern. Gelöscht wird bei beiden Zellentypen nach Fig. 4 und Fig. 5 jeweils dadurch, daß am Source eine hohe positive und am Gate eine Spannung von 0 V angelegt wird. Während der Dauer der Löschimpulse liegt nach Fig. 4  $U_{SS} \approx 25$  bis 40 V als Spannung an den 15 einzelnen bitweise geschalteten Sourceleitungen an. Im Falle von Fig. 5 liegt an den bitweise geschalteten Sourceleitungen jeweils die Spannung  $U_{Si} \approx U_p = 20$  V bis 40 V ( $i = 1$  bis  $n$ ) an. An der Gateleitung eines angewählten Wortes liegt während der Dauer der Löschimpulse eine Spannung von  $U_{Gi} \approx 0$  V an, während an 20 den Gateleitungen der nicht angewählten Worte eine hohe positive Spannung von  $U_{GK} \approx 25$  V anliegt. Damit wird während der Löschimpulse nur das angewählte Wort gelöscht, während die Nachbarworte nicht beeinflußt werden. In den 25 Löschimpulspausen liegen alle Sourceleitungen der Fig. 4 und 5 auf einer Spannung von ungefähr  $U_{Si} \approx 0$  V. An der Gateleitung der angewählten Worte liegt eine relativ kleine positive Lesespannung  $U_{GL}$  an, die so klein ist, daß keine Information eingeschrieben werden kann. Die 30 Gateleitungen der nicht angewählten Worte liegen ebenfalls auf einem Potential von ungefähr  $U_{GK} \approx 0$  V. Die angewählten Worte werden damit während der Dauer der Löschimpulse gelöscht und Nachbarwortstörungen sind sicher ausgeschaltet.

Während der Dauer der Schreibimpulse liegt an der Gateleitung eines angewählten Wortes eine hohe positive Spannung, z.B. 25 V an, während an den Gateleitungen der nicht angewählten Worte eine Spannung von ungefähr 0 V anliegt.

Bei Zellen der Fig. 4 fließt gleichzeitig in den Spalten, in denen eine einzuschreibende Zelle liegt, ein hoher Kanalstrom, der zur Programmierung der Zelle ausreicht, während in denjenigen Spalten, deren angewählte Zelle keine Information erhalten soll, nur ein sehr geringer Kanalstrom fließt, der nur als Lesestrom verwendet werden kann, jedoch zum Aufladen einer Zelle nicht ausreicht. In die nicht angewählten Nachbarworte wird bei denjenigen Bits mit hohem Kanalstrom nichts eingeschrieben, da gleichzeitig die Gatespannung an den nicht angewählten Worten  $U_{Gk} \approx 0$  V beträgt. Während der Schreibimpulspausen beträgt die Gatespannung nicht angewählter Worte ungefähr 0 V, während die Gatespannung eines angewählten Wortes eine geringe positive Kontrollesespannung  $U_{GS}$  aufweist. Während der Schreibimpulspausen ist ebenfalls der hohe Kanalstrom ausgeschaltet. Es fließt lediglich ein sehr kleiner Kanalstrom, der zwar zum Lesen bzw. Kontrollesen ausreicht, jedoch nicht zum Einschreiben einer Information ausreicht. Wegen der gleichzeitig unterschiedlichen Gatespannungen eines angewählten Wortes gegenüber den Gatespannungen der nicht angewählten Worte wird auch tatsächlich nur an den Zellen des angewählten Wortes gelesen.

Die Zellen eines Speichers nach Fig. 5 werden durch Anlegen einer hohen Spannung zwischen dem Steuergate und einem Diffusionsgebiet, z.B. dem Source, aufgeladen. Während eines Schreibimpulses liegt an der Gateleitung eines angewählten Wortes eine hohe positive Spannung von

ungefähr 25 V bis 40 V an, während an den Gateleitungen der nicht angewählten Worte eine sehr geringe positive Spannung liegt, die zum Einschreiben einer Information in die Zelle nicht ausreicht und z.B. der Kontrollese-

- 5 spannung beim Schreiben  $U_{GL}$  entspricht. Gleichzeitig liegt in denjenigen Spalten, in denen eine Information in die angewählte Zelle eingetragen werden soll, eine Spannung von ungefähr 0 V am Source an. Alle übrigen Sourceleitungen, in denen keine einzuschreibende Zelle liegt, weisen
- 10 gleichzeitig eine positive Spannung von  $1/2 U_p$  auf. Die unterschiedlichen Gatespannungen zwischen angewählten Wörtern und nicht angewählten Wörtern stellen sicher, daß in der angewählten Zelle eine Information eingeschrieben wird, während in Nachbarzellen des gleichen Bits
- 15 keine Information eingeschrieben wird. Bei Bits, in denen keine Information eingeschrieben werden soll, ist das Potentialgefälle zwischen dem Gate und dem Source gerade so bemessen, daß es zum Einschreiben einer Information nicht ausreicht, z.B.  $1/2 U_p$  beträgt. Dadurch
- 20 wird sichergestellt, daß in allen Zellen eines Bits, deren Sourceleitungen mit  $1/2 U_p$  beaufschlagt ist, tatsächlich keine Information eingeschrieben wird.

- Während der Schreibimpulspausen liegt an den angewählten Gates die Kontrollespannung beim Schreiben  $U_{GS}$  an, die einer kleinen positiven Spannung entspricht. An allen Nachbargateleitungen liegt eine Spannung von ungefähr 0 V an. An allen Sourceleitungen liegt gleichzeitig eine Spannung von 0 V an und es fließt zwischen Source und Drain ein geringer Lesestrom. Damit ist sichergestellt, daß nur an den Zellen des angewählten Wortes kontrolliert gelesen wird.

- Beim Auslesen liegt an dem Gate des angewählten Wortes die Auslesespannung  $U_{GR}$  an. Die Spannung nicht angewählter Worte beträgt während des Auslesens 0 V.

Für Zellen, die mittels hoher elektrischer Felder zwischen Steuergate und einem Diffusionsgebiet, beispielsweise dem Source, aufgeladen und entladen werden, kann eine Sourceansteuerung, ähnlich wie in Fig. 5 dargestellt,

- 5 stellt, entwickelt werden, die gewährleistet, daß das Potentialgefälle zwischen Steuergate und Source von nicht angewählten Zellen nur ein Drittel des Potentialgefälles beträgt, das zum Einschreiben von angewählten Zellen zwischen Steuergate und Source angelegt wird. Eine solche
- 10 Modifikation der in Fig. 5 dargestellten Sourceansteuerung ließe sich durch eine geeignete Dimensionierung und Schaltung der Widerstände 274 und 275 aus Fig. 5 erreichen. Zusätzlich müßten die Elemente 520 und 510 der Gateansteuerung abgeändert werden. Eine derartige Modifi-  
15 kation ließe sich aus Fig. 5 unter Anwendung der Ansteuerbedingungen, wie sie in der Deutschen Anmeldung P 27 43 422.6 beschrieben sind, ableiten.

- 20 Erfnungsgemäße Speicher sind für Abstimmspeicher in Fernsehgeräten für Nummernspeicher in Fernsprechvermittlungsanlagen sowie für Programmspeicher von Kleinrechnern anwendbar.

#### 11 Patentansprüche

#### Figuren

Zusammenfassung

Ein wortweise elektrisch umprogrammierbarer, nicht-flüchtiger Speicher mit matrixförmig angeordneten Speicherzellen ist derart mit einer Ansteuerung versehen, daß für jede Speicherzeile variable Lösch- und Schreibdauern vorgesehen sind, deren Ende durch das Erreichen eines vorgegebenen Lösch bzw. Schreibzustandes einer oder mehrerer Speicherzellen aus der zu löschenen bzw. zu schreibenden Speicherzeile angezeigt wird.

Durch diese Maßnahme wird ein äußeres Zeitglied eingespart, kürzere Programmierzeiten, eine geringere Abhängigkeit von Prozeßtoleranzen, niedrigere Lösch- und Schreibspannungen und geringere Nachbarwortstörungen sowie eine höhere Zahl von Schreib-Löschyklen erreicht.

- 44 -  
Leerseite

Nummer:  
Int. Cl. 2:  
Anmeldetag:  
Offenlegungstag:

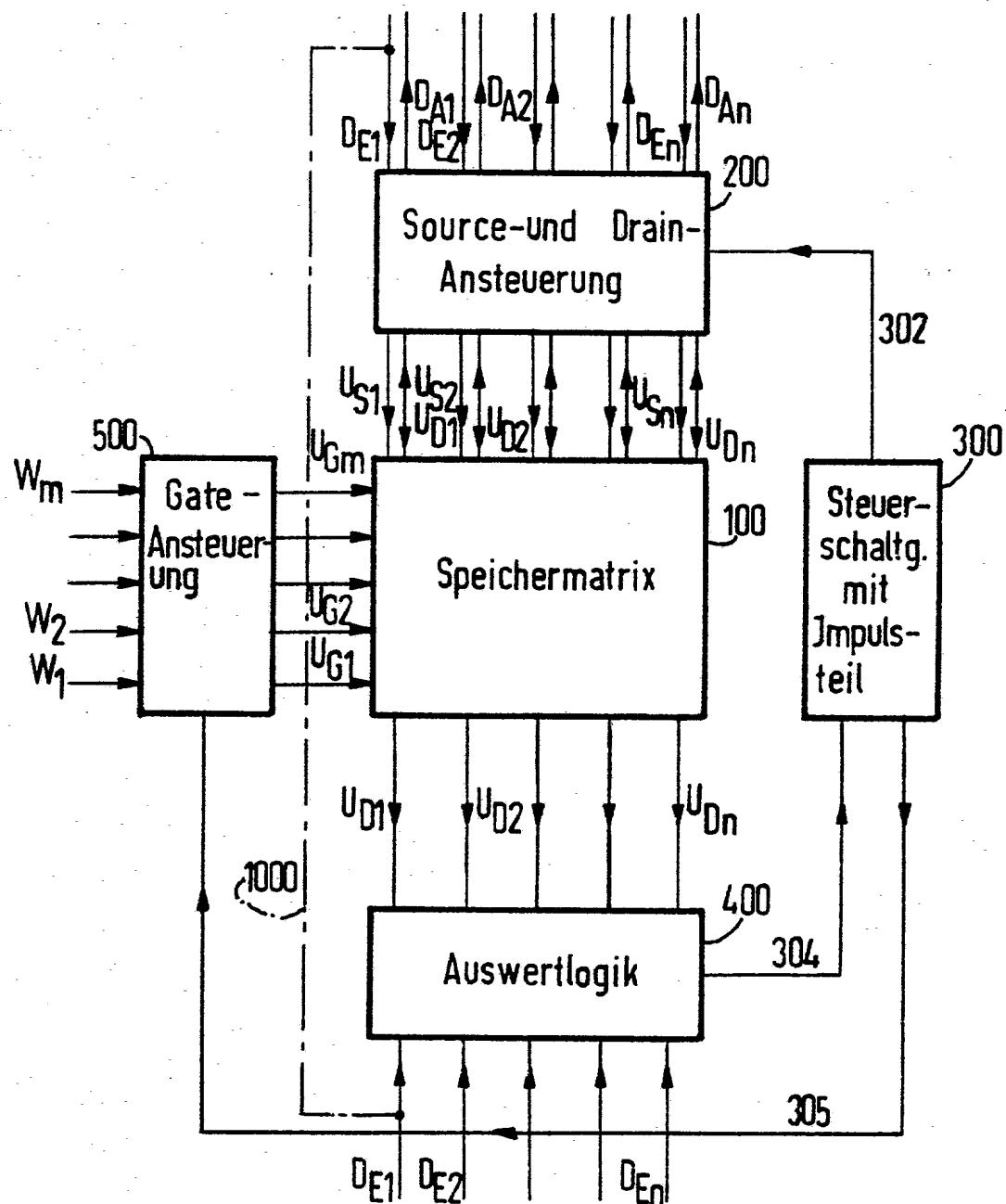
28 28 855  
G 11 C 7/00  
30. Juni 1978  
3. Januar 1980

- 49 -

2828855

FIG 1

78 P 1110 BRD/5

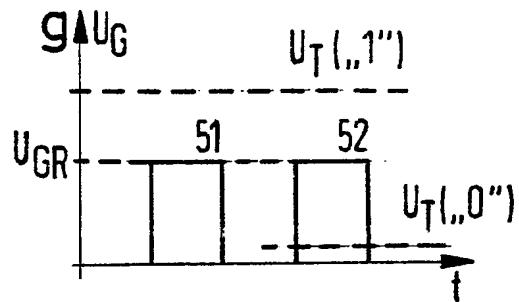
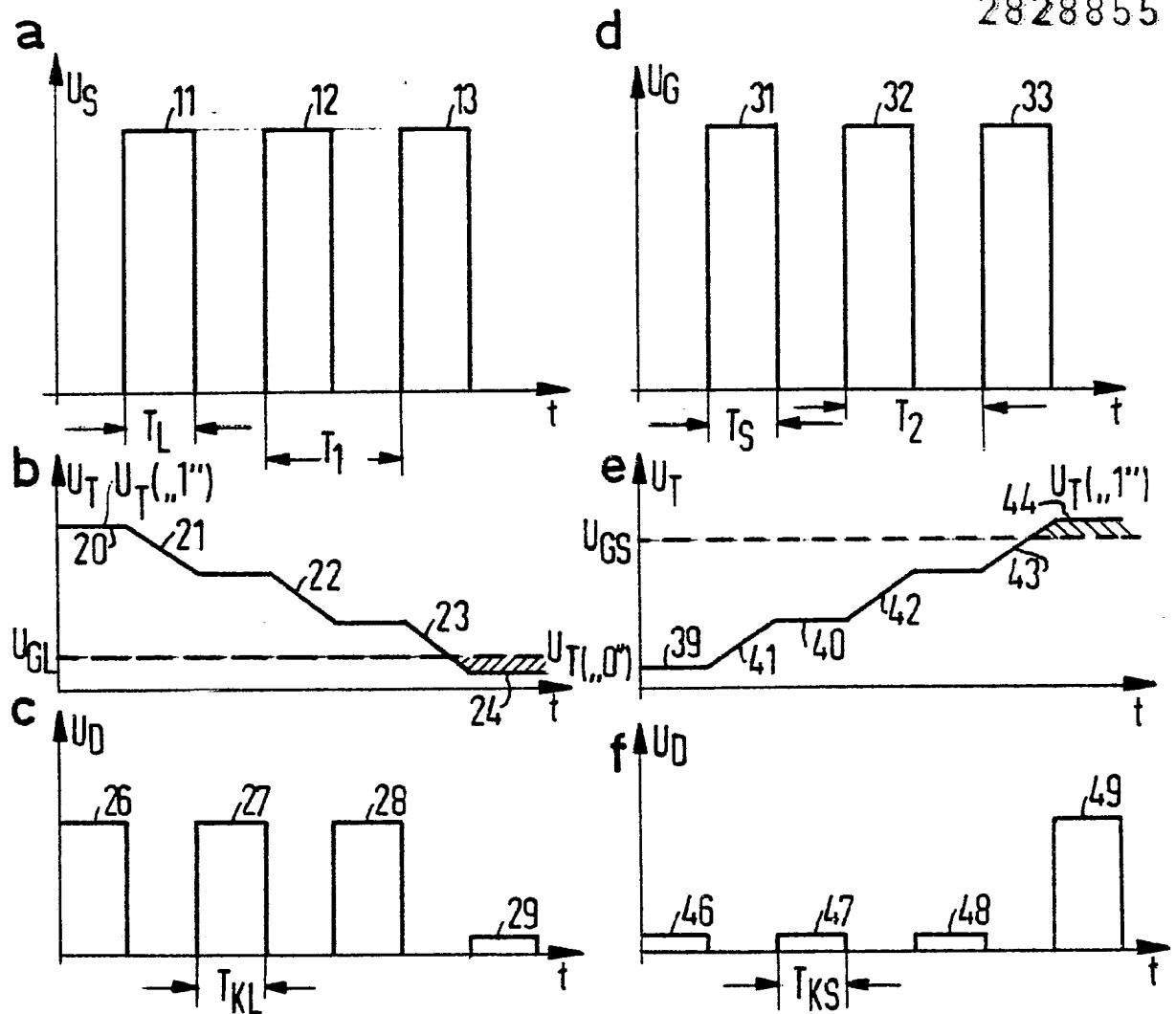


909881 / 0488

- 45 -

78 P 1110 BRD 2/5

FIG 2



909881/0488

- 46 -

FIG 3

78 P 1 1 1 0 BRD 3/5

2828855

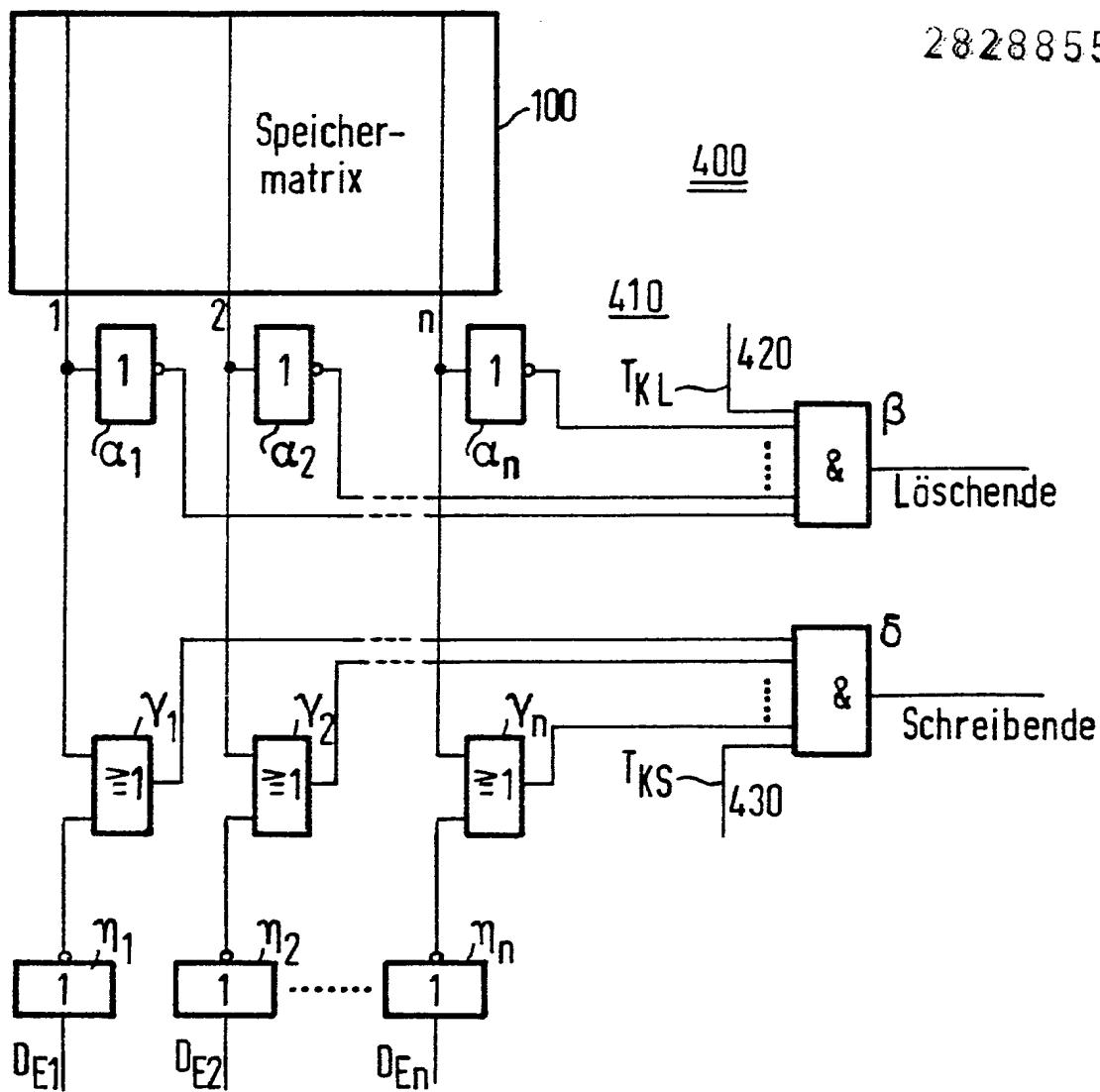
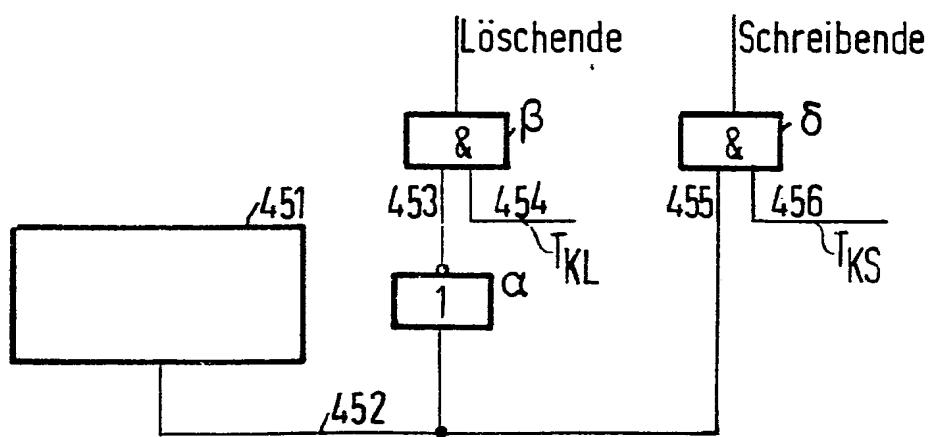


FIG 3a

450



909881 / 0488

78 P 1110 BRD 4/5

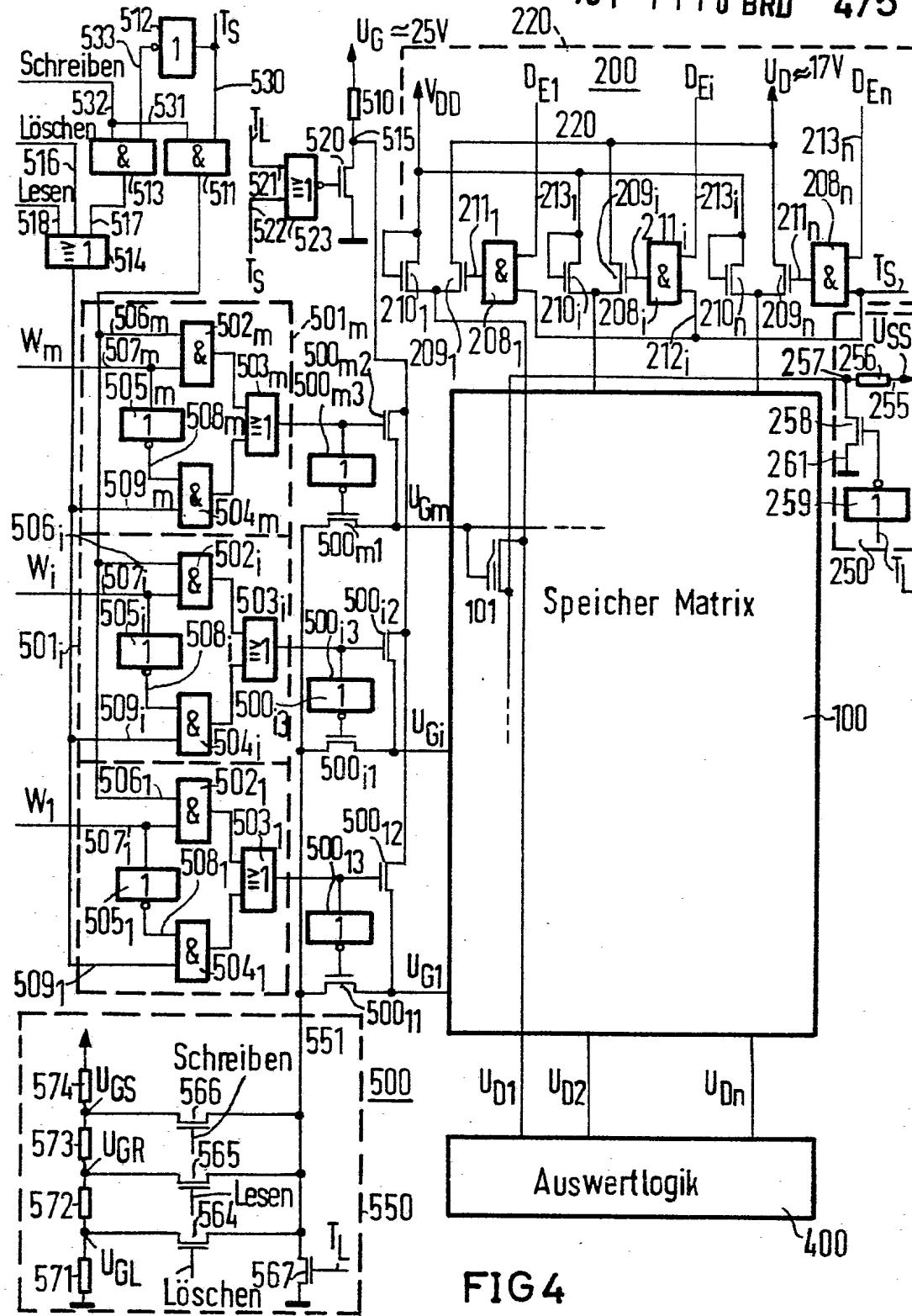
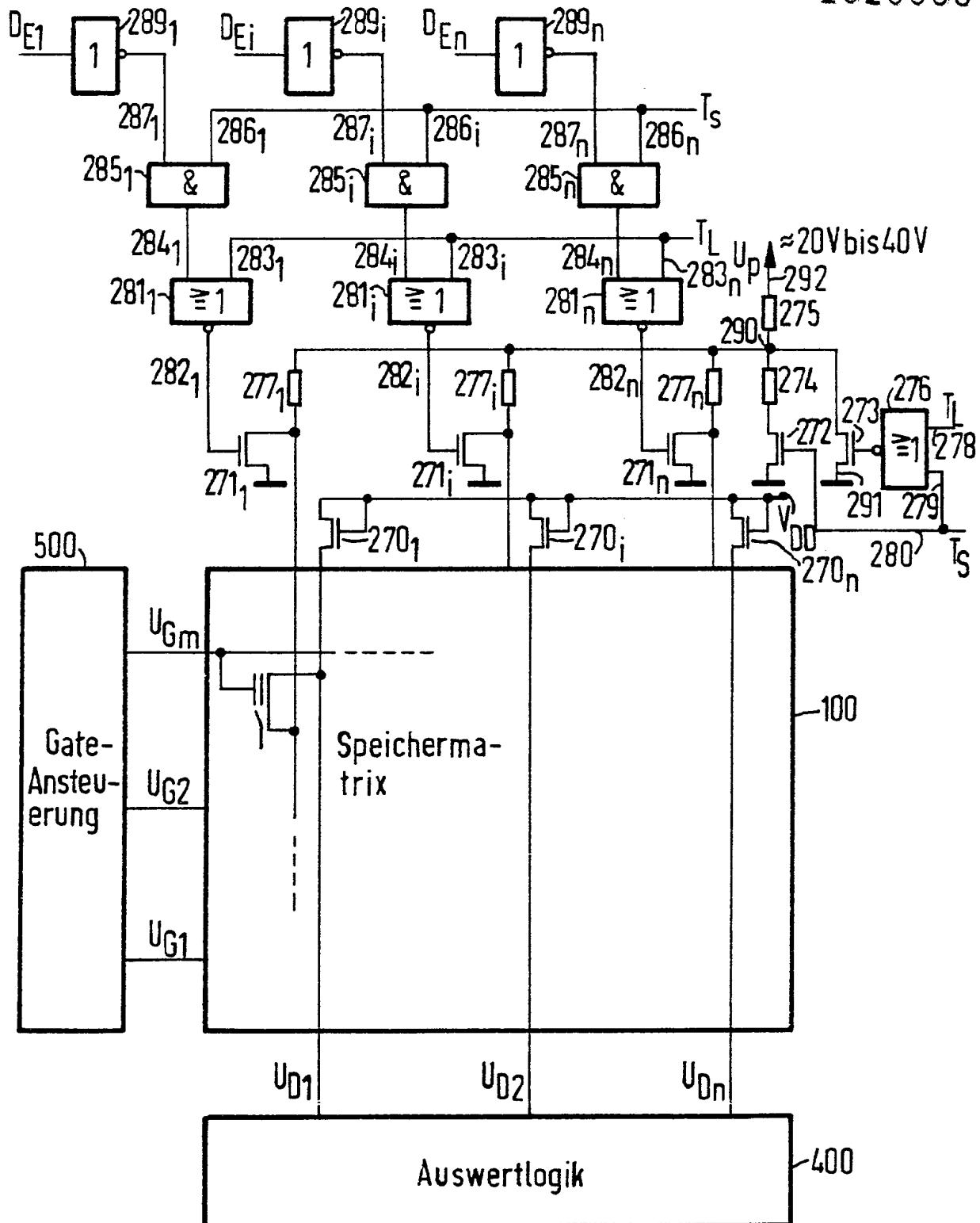


FIG 4

909881/0488

FIG 5

2828855



909881/0488